

# FPGA obvody

Pavol Galajda, KEMT, FEI, TUKE  
Pavol.Galajda@tuke.sk

# 3 Architektúry a typy číslicových obvodov SPLD

- 3.1 Obvody PLD (Programmable Logic Device)
- 3.2 Obvody PLA (Programmable Logic Array)
- 3.3 Obvody PAL (Programmable Array Logic)
- 3.4 Obvody GAL (Generic Array Logic)

# 4 Architektúry a typy číslicových obvodov CPLD

- 4.1 Lattice pLSI a ispLSI
- 4.2 MAX 3000 a 7000 CPLD (Multiple Array matrix, Altera)
- 4.3 Xilinx XC 7000

# 4 Architektúry a typy číslicových obvodov CPLD

Obvody CPLD sú v podstate rovnaké ako SPLD obvody, ale rozdiel ako aj výhoda CPLD obvodov spočíva vo vyššej logickej kapacite CPLD obvodov a ich dokonalejšej štruktúre.

Tieto obvody sú typické tým, že obsahujú desať až niekoľko sto makrobuniek. Osem až šestnásť vzájomne prepojených makrobuniek je spojených do vyšších funkčných blokov. Funkčné bloky sú tiež vzájomne prepojené prostredníctvom programovateľnej prepojovacej matice, ale nie všetky CPLD obvody majú navzájom prepojené všetky funkčné bloky—záleží to od špecifikácie výrobcu a rodiny obvodov.

CPLD sa môžu vyrábať jednou z týchto troch technológií: EPROM, EEPROM alebo FLASH. Niektoré z CPLD rodín, ktoré využívajú EEPROM alebo FLASH sa navrhujú tak, aby boli programované v systéme (In- System Programmable - isp), čo znamená, že obvod môže byť programovaný na doske plošného spoja spoločne s inými súčiastkami.

# 4 Architektúry a typy číslicových obvodov CPLD

Hlavný komerčný výrobcovia sú uvedení v Tab.

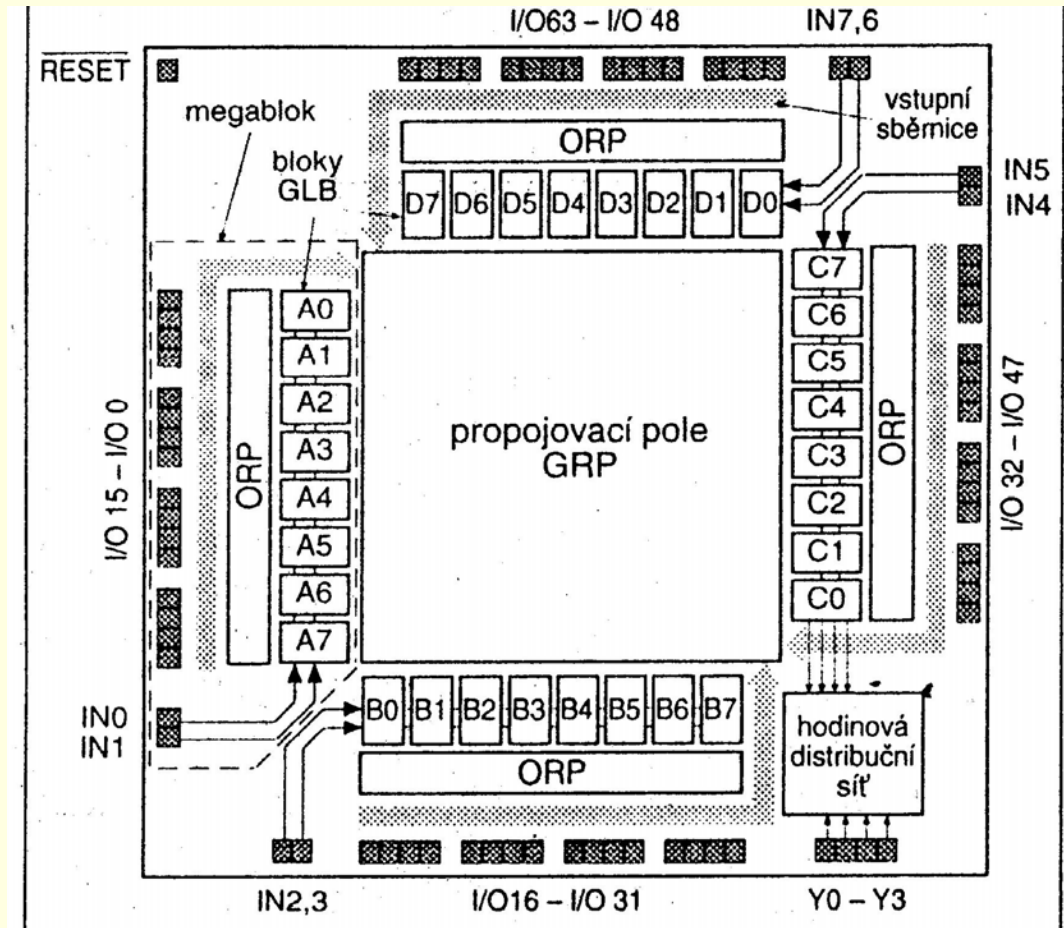
Manufacturer	CPLD Products	WWW Locator
Altera	MAX 3000, 7000, and 9000, and MAX II	<a href="http://www.altera.com">http://www.altera.com</a>
Atmel	ATF	<a href="http://www.atmel.com">http://www.atmel.com</a>
Cypress	Delta39K, FLASH370, Ultra37000	<a href="http://www.cypress.com">http://www.cypress.com</a>
Lattice	ispLSI, ispMACH	<a href="http://www.latticesemi.com">http://www.latticesemi.com</a>
Xilinx	XC9500, CoolRunner	<a href="http://www.xilinx.com">http://www.xilinx.com</a>

# 4.1 Lattice pLSI a ispLSI

- programable Large Scale Integration (pLSI)
- ispLSI (in- system- programovatelných priamo v aplikácií)
- technológia EECMOS

## Vlastnosti:

- vysoká rýchlosť,
- predvídateľné oneskorenie,
- nízka spotreba,
- flexibilná architektúra,
- Jednoduché použitie.



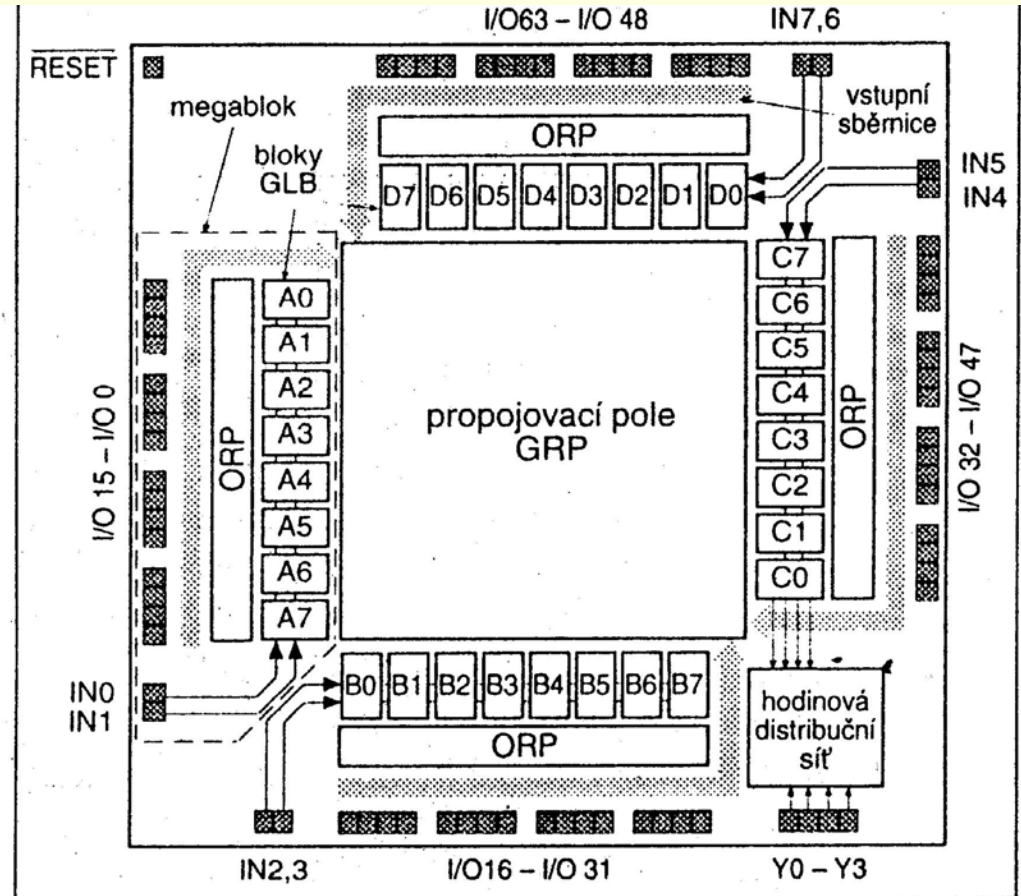
# 4.1 Lattice pLSI a ispLSI

## Global Routing Pool (GRP)

- prepája celú internú logiku a sprístupňuje ju užívateľovi,
- umožňuje kompletne prepojenie s pevne definovaným a odhadnuteľným oneskorením prechodov.

## I/O bunky

- sú priamo pripojené k V/V vývodom,
- každá môže byť individuálne naprogramovaná ako:
  - kombinačný vstup,
  - kombinačný výstup,
  - obojsmerný V/V- trojst.
- úroveň signálu kompatibilné s TTL.

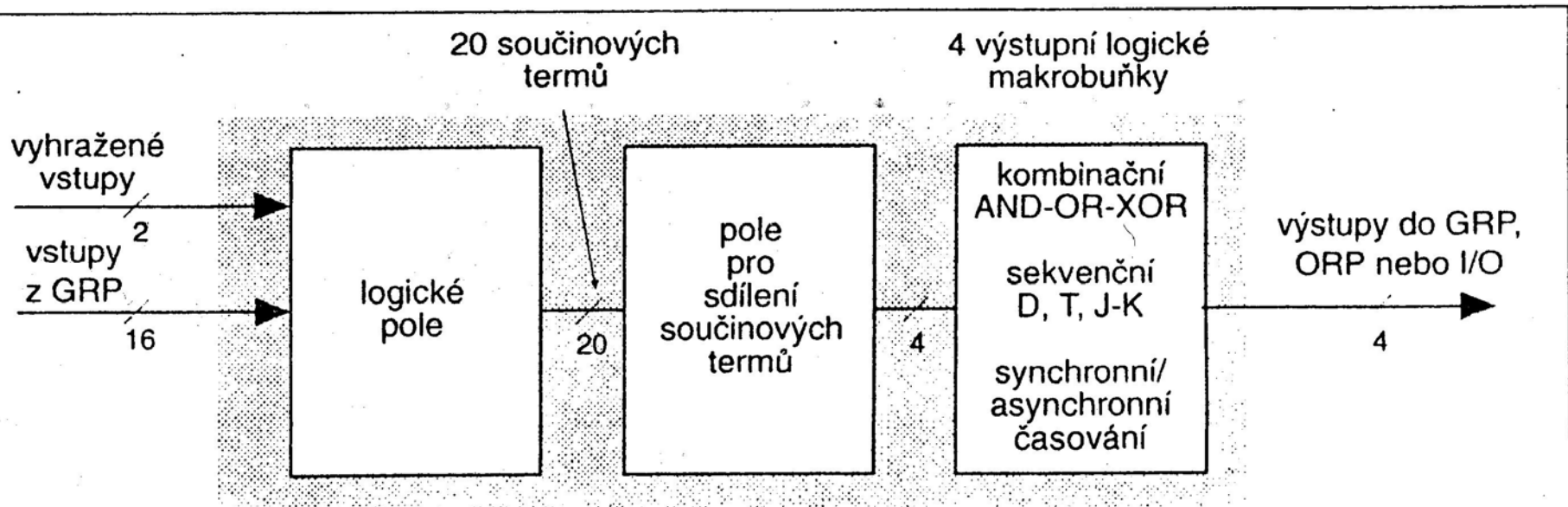


# 4.1 Lattice pLSI a ispLSI

## Generic Logic Block (GLB)

-hlavný logický blok štruktúry pLSI/ ispLSI. Na Obr. je príklad rodiny 1000 a 2000 s logickými blokmi s 18 vstupmi a 4 výstupmi (všetky vedené do prepojuvacieho poľa GRP tak, aby mohli byť použité ako vstupy iných blokov GLB).

- jedinečným prvkom zvyšujúcim flexibilitu je Product Term Sharing Array (PTSA)

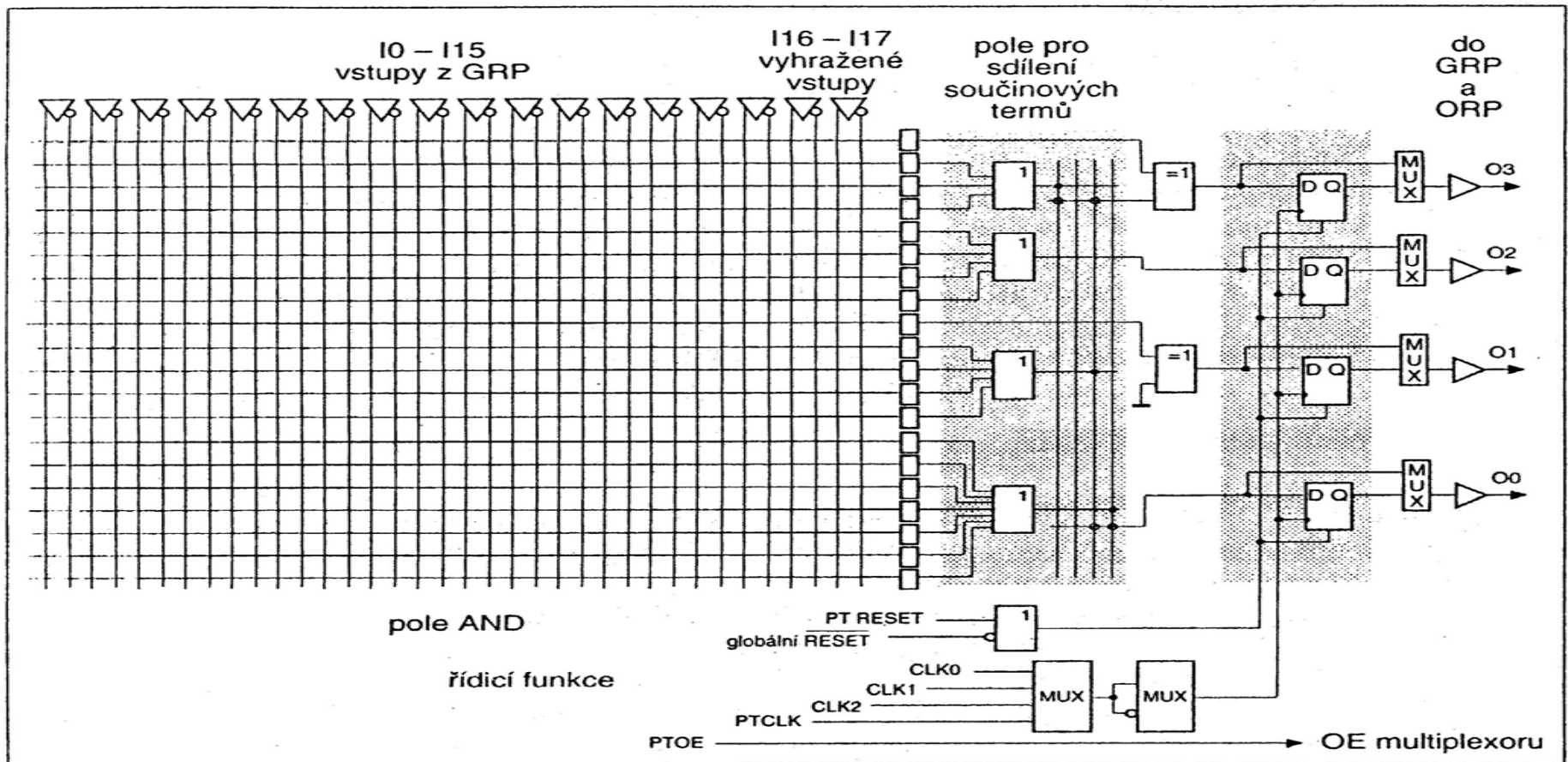




# 4.1 Lattice pLSI a ispLSI

## Product Term Sharing Array (PTSA)

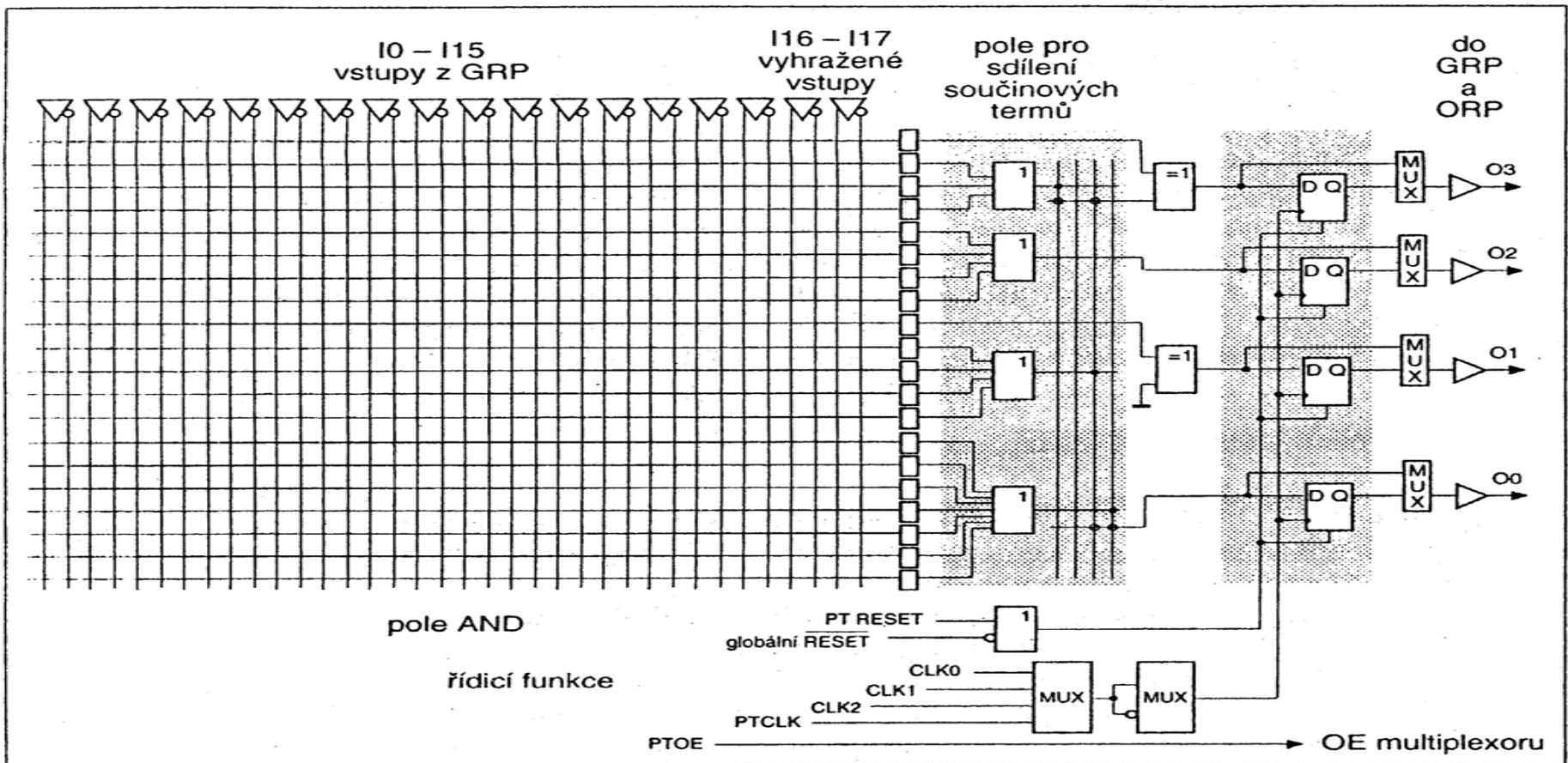
- pole ktoré umožňuje použiť ľubovoľný z 20 súčinových členov (výstupy poľa AND) pre ľubovoľný výstup bloku GLB- to podporuje napr. veľmi efektívne implementácie stavových automatov.



# 4.1 Lattice pLSI a ispLSI

## Output Logic Macrocell (OLMC)

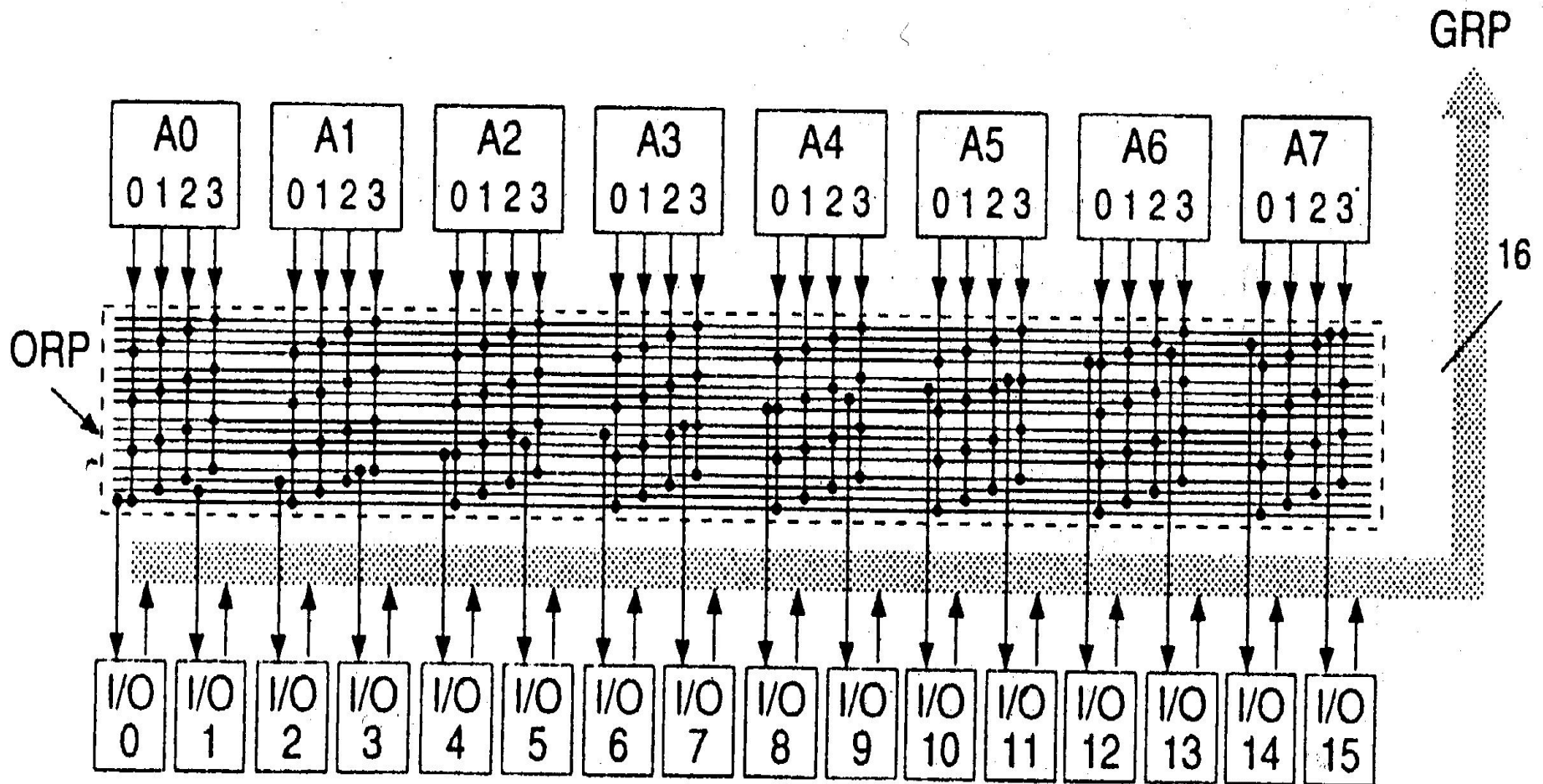
- umožňuje každý výstup GLB konfigurovat' ako kombinačný, alebo sekvenčný (riadený globálnymi synchronnými, alebo interne generovanými asynchronnými hodinovými signálmi).



# 4.1 Lattice pLSI a ispLSI

## Output Routing Pool (ORP)

- prepája výstupy GLB so V/V bunkami (Obr.).



# 4.1 Lattice pLSI a ispLSI

**Tabulka 1. Přehled obvodů pLSI a ispLSI**

Obvod	1016	1024	1032	1048	2032	2064	2096	3192	3256	3320
počet hradel	2000	4000	6000	8000	1000	2000	4000	8000	11 000	14 000
$f_{\max}$ [MHz]	110	90	90	80	135	135	110	110	80	80
zpoždění $t_{pd}$ [ns]	10	12	12	15	7,5	7,5	10	10	15	15
počet makrobuněk	64	96	128	192	32	64	96	192	256	320
počet registrů	96	144	192	288	32	64	96	288	284	480
počet vstupů (I a I/O)	36	54	72	106	34	68	102	96	128	160
pouzdro PLCC	44	68	84		44	84				
pouzdro PQFP/TQFP			100	120		100	128	128	160	208
pouzdro PGA									167	207

## 4.2 Altera CPLD

Altera vyvinula rodiny CPLD obvodov:

- MAX 3000
- MAX 5000
- MAX 7000
- MAX 9000

Bližšie sa budeme venovať rodine obvodov MAX 3000 a MAX 7000.

MAX 5000 reprezentuje staršiu technológiu, jej výhoda však spočíva v cenovej dostupnosti.

MAX 9000 je v podstate rovnaká ako MAX 7000, ale poskytuje vyššiu logickú kapacitu.

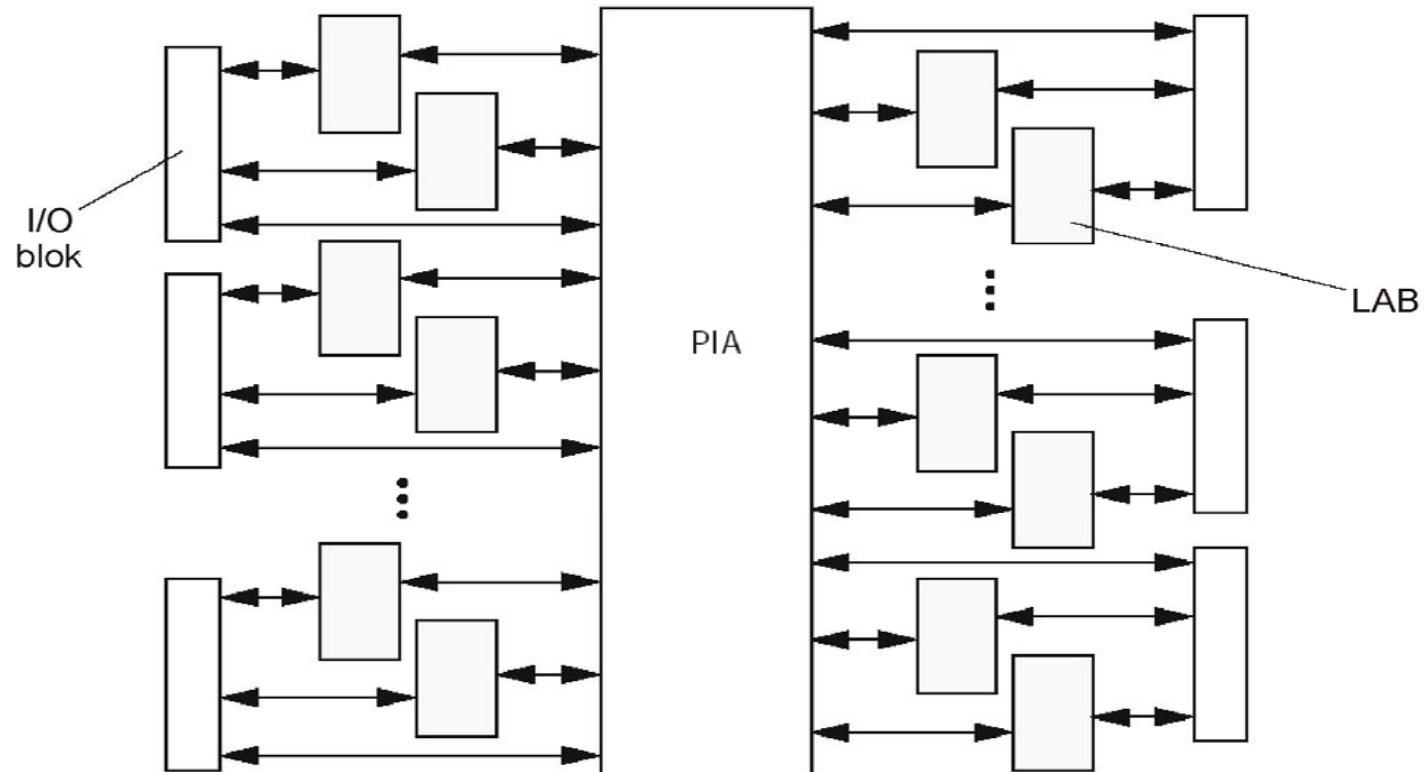
## 4.2 Altera MAX 3000 CPLD

*Table 1. MAX 3000A Device Features*

Feature	EPM3032A	EPM3064A	EPM3128A	EPM3256A	EPM3512A
Usable gates	600	1,250	2,500	5,000	10,000
Macrocells	32	64	128	256	512
Logic array blocks	2	4	8	16	32
Maximum user I/O pins	34	66	98	161	208
$t_{PD}$ (ns)	4.5	4.5	5.0	7.5	7.5
$t_{SU}$ (ns)	2.9	2.8	3.3	5.2	5.6
$t_{CO1}$ (ns)	3.0	3.1	3.4	4.8	4.7
$f_{CNT}$ (MHz)	227.3	222.2	192.3	126.6	116.3

## 4.2 Altera MAX 3000 CPLD

Obr. ukazuje základnú architektúru rodiny obvodov MAX 3000, ktorá sa skladá z polí logických blokov (Logic Array Blocks - LAB) a zo sústavy prepojovacích vodičov, ktorú budeme nazývať *programovateľné prepojovacie pole* (Programmable Interconnect Array – PIA). PIA môže navzájom prepájať vstupy alebo výstupy medzi jednotlivými LAB. Vstupy a výstupy čipu sa pripájajú priamo na PIA a LAB. LAB je zložitá logická štruktúra, podobaná SPLD štruktúre, preto môžeme považovať celý čip za pole vytvorené z SPLD obvodov.







# 4.2 Altera MAX 3000 CPLD

- obvody: 3032 (32 makrobuniek) až 3512 (512 makrobuniek),
- 3064A- programovateľné v progamátore,
- 4 priradené vstupy- 2 globálne hodinové vstupy, 1 globálny reset všetkých KO,
- LAB= 16 makrobuniek,
- LAB pripojený k I/O CB,
- LAB pripojený k PIA

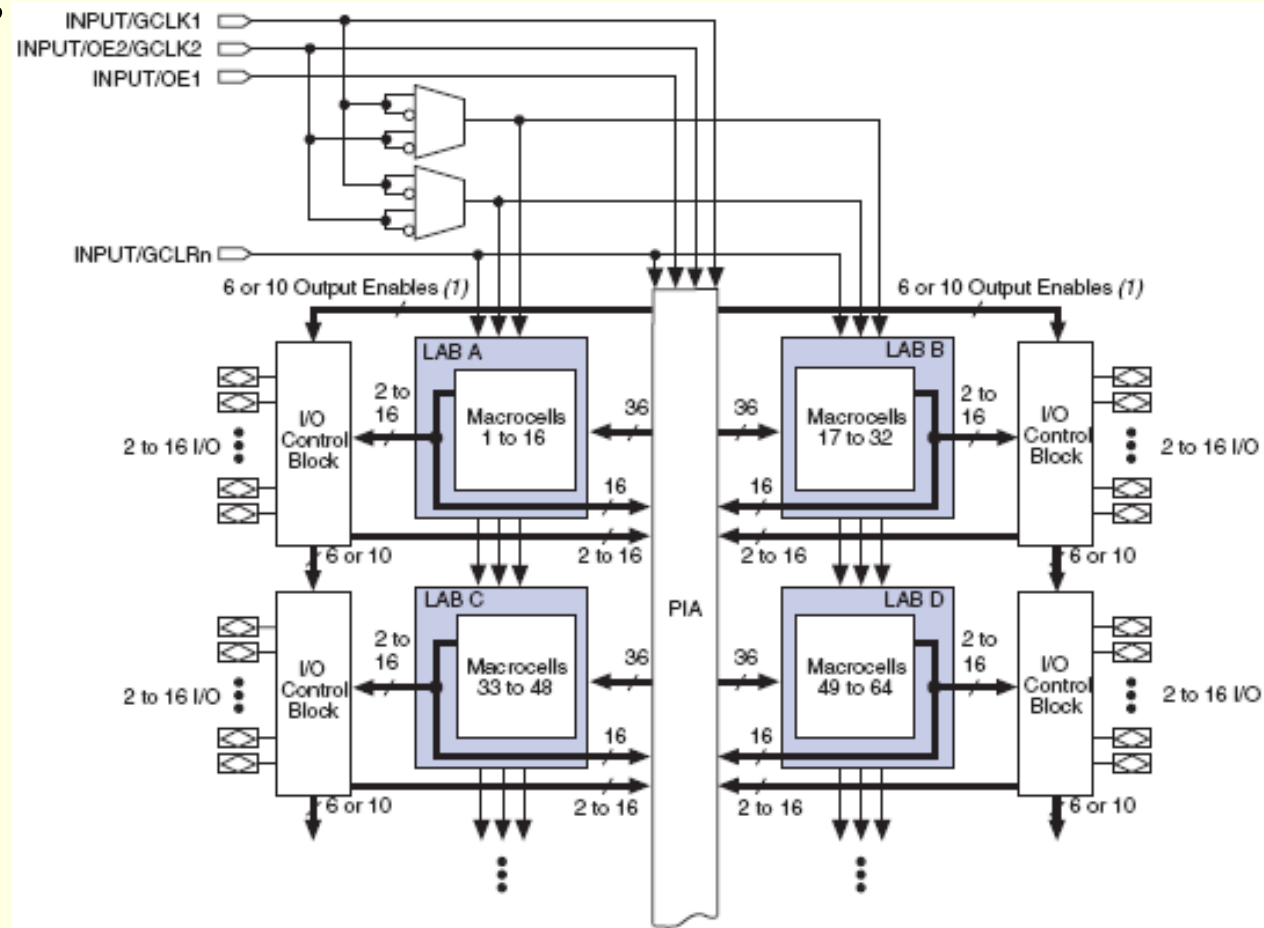
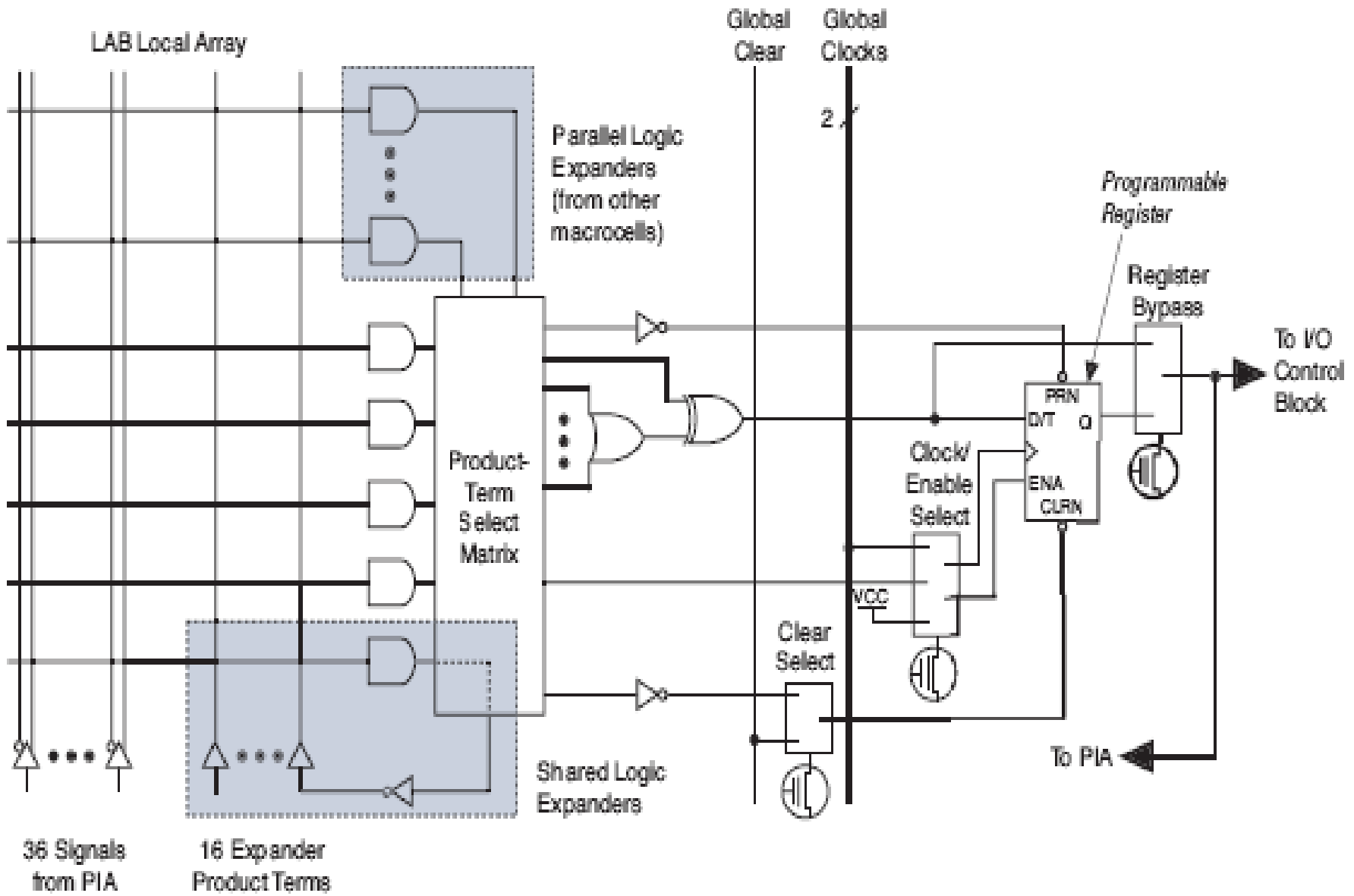
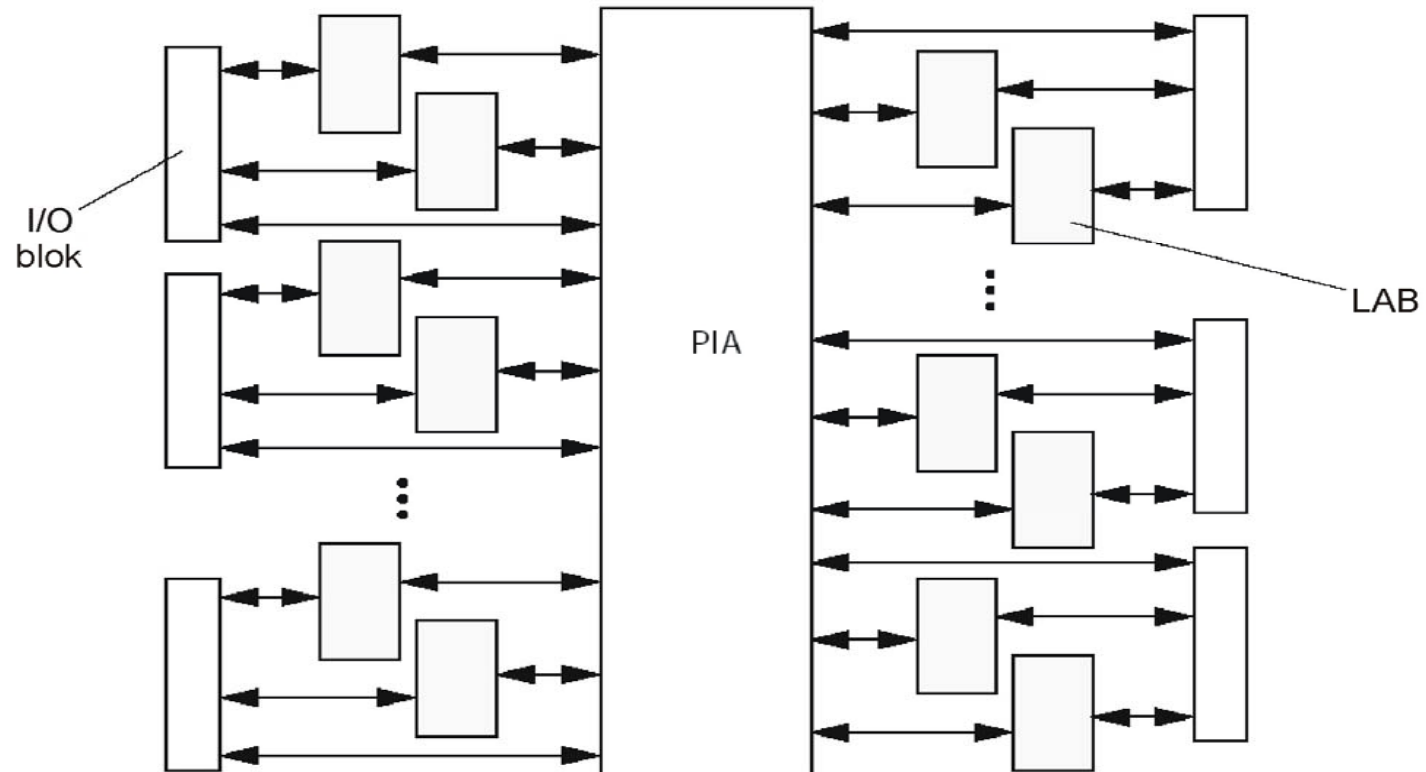


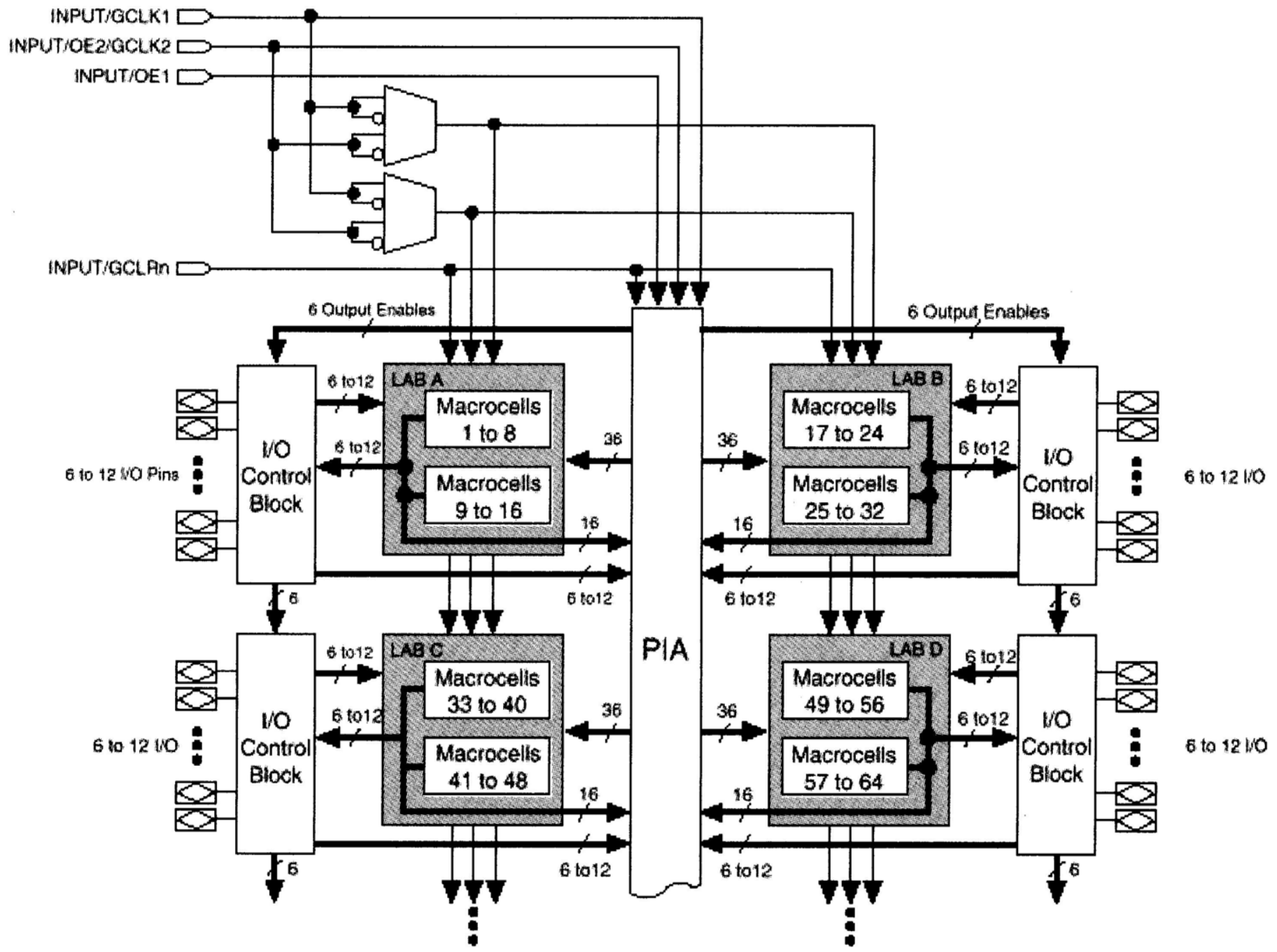
Figure 2. MAX 3000A Macrocell



## 4.2 Altera MAX 7000 CPLD

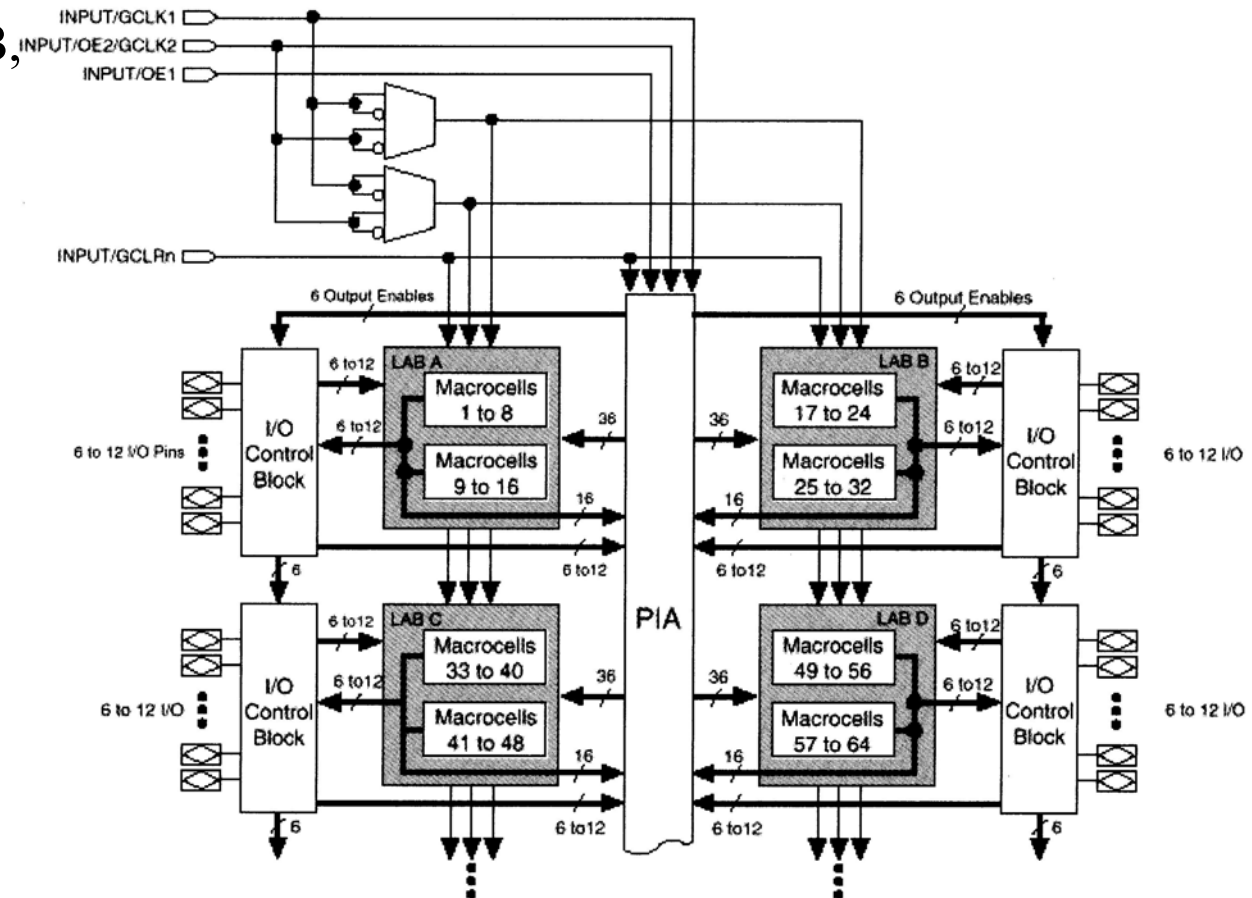
Obr. ukazuje základnú architektúru rodiny obvodov MAX 7000, ktorá sa skladá z polí logických blokov (Logic Array Blocks - LAB) a zo sústavy prepojovacích vodičov, ktorú budeme nazývať *programovateľné prepojovacie pole* (Programmable Interconnect Array – PIA). PIA môže navzájom prepájať vstupy alebo výstupy medzi jednotlivými LAB. Vstupy a výstupy čipu sa pripájajú priamo na PIA a LAB. LAB je zložitá logická štruktúra, podobaná SPLD štruktúre, preto môžeme považovať celý čip za pole vytvorené z SPLD obvodov.

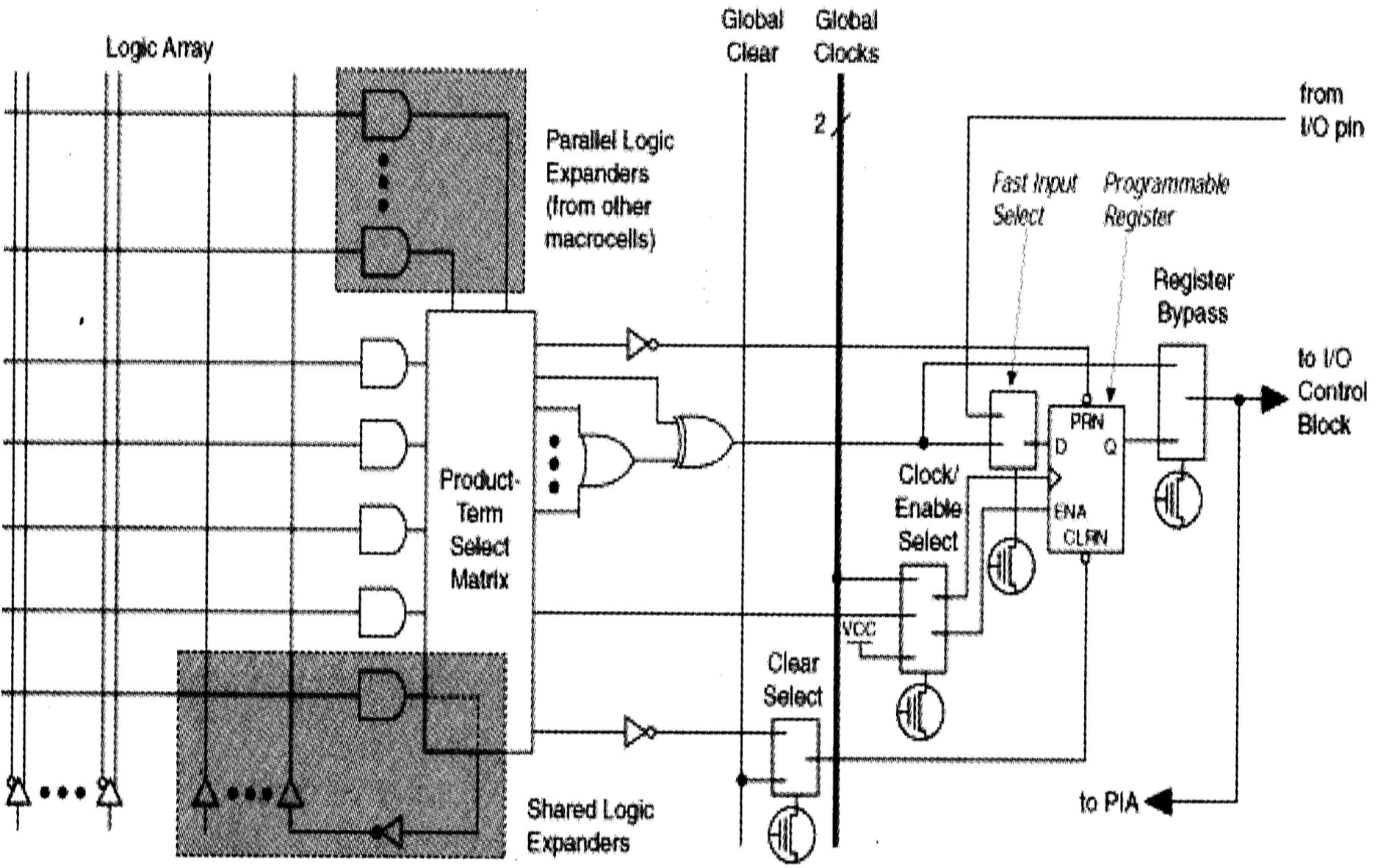




# 4.2 Altera MAX 7000 CPLD

- obvody: 7032 (32 makrobuniek) až 7512 (512 makrobuniek),
- 7128S- in- system programovateľné,
- 7128- programovateľné v progamátore,
- 4 priradené vstupy- 2 globálne hodinové vstupy, 1 globálny reset všetkých KO,
- LAB= 16 makrobuniek,
- LAB pripojený k I/O CB,
- LAB pripojený k PIA





36 Programmable Interconnect Signals  
 16 Expander Product Terms

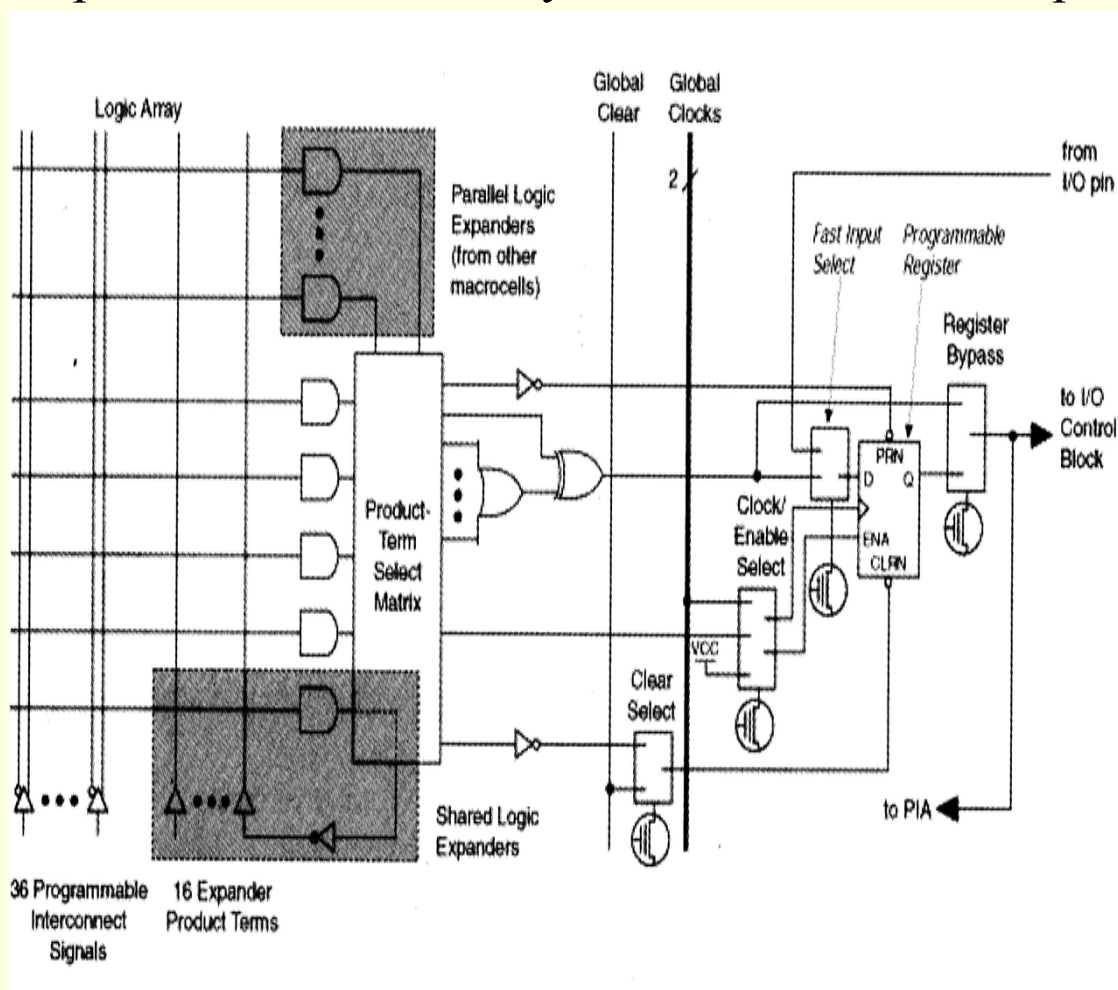
## 4.2 Altera MAX 7000 CPLD

Každý LAB sa skladá z dvoch skupín ôsmich makrobuniek. Makrobunka predstavuje skupinu programovateľných súčinových členov, ktoré sa pripájajú k OR hradlu a potom ku klopnému obvodu. Klopné obvody môžu byť typu JK, T, D alebo RS.

*Matica výberu súčinu* umožňuje pracovať s variabilným množstvom vstupov

do hradla OR. K hradlu OR môže byť pripojených všetkých, päť súčinových členov makrobunky. Ak je ich potrebné pripojiť viac, môžu byť využité dodatočné súčinové členy z iných makrobuniek.

OR hradlo je pripojené cez hradlo XOR ku KO, ktoré môže byť premostené.



# 4.2 Altera MAX 7000 CPLD

Obr. ukazuje ako môžu byť využité súčinové členy medzi makrobunkami.

