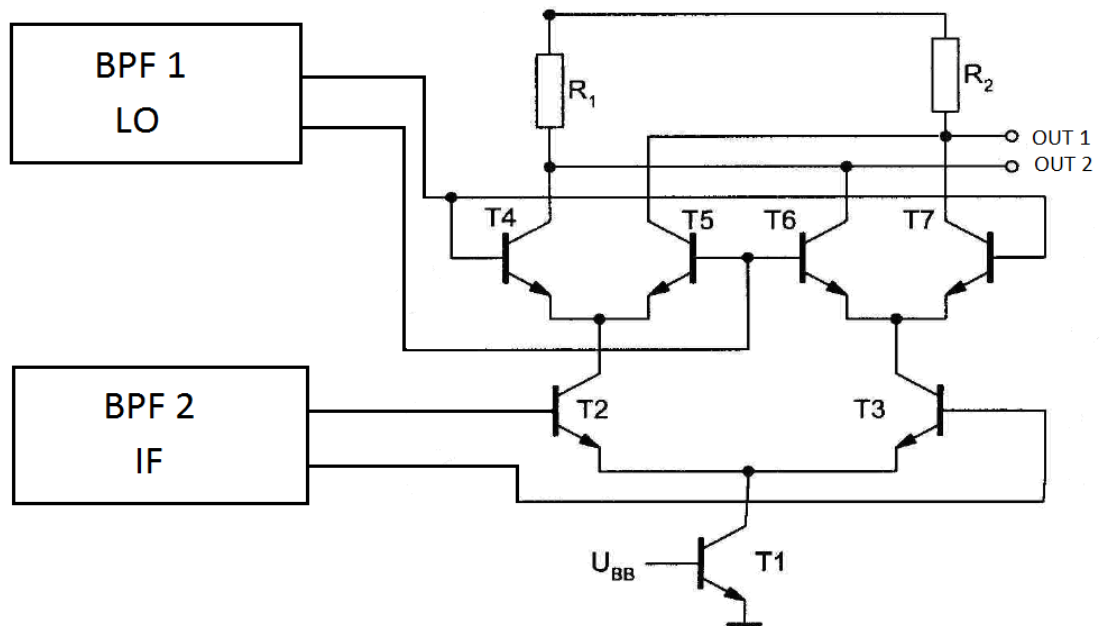


Príloha A

Prípadová štúdia v simulačnom prostredí

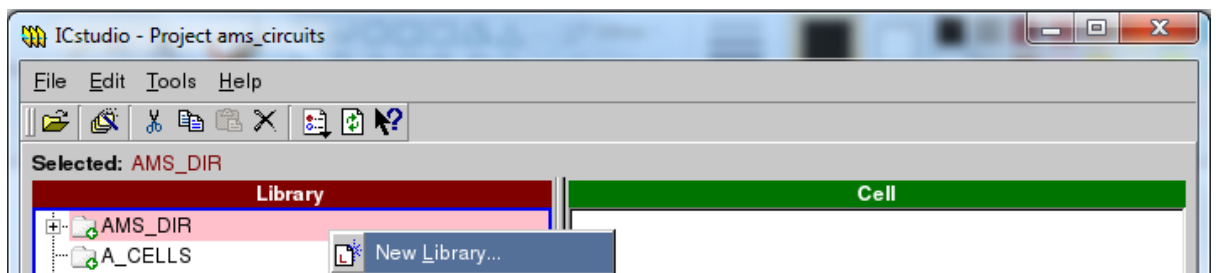
Prípadová štúdia v simulačnom prostredí



Obr. 36 Návrh zmiešavača

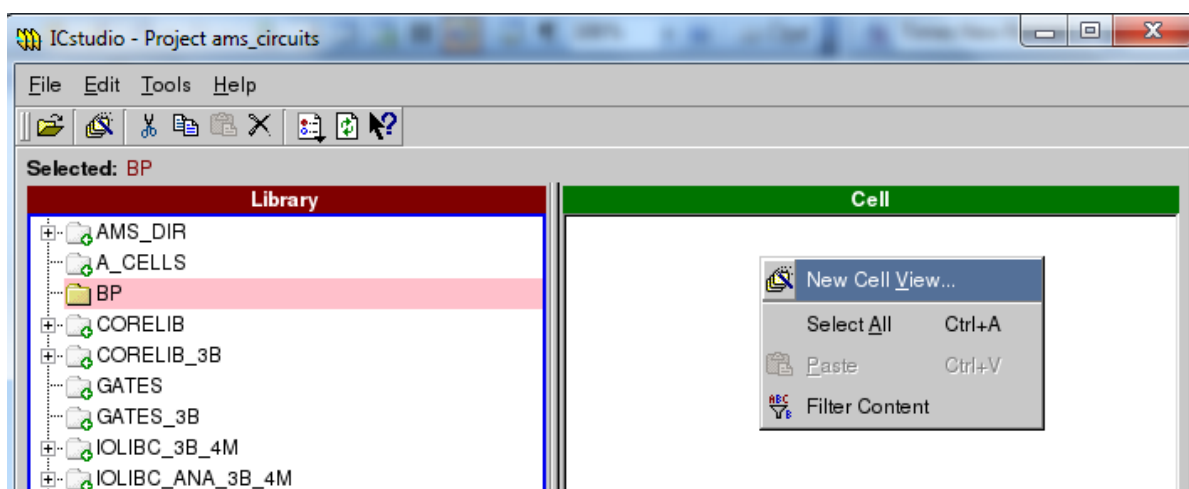
Vytvorenie projektu

V týchto krokoch je uvedené, ako túto schému zmiešavača zostavíme a následne ju odsimulujeme. Schému budeme tvoriť v programe IC Flow od Mentor Graphics. Po úspešnom prihlásení na server, vytvoríme nový projekt cez knižnicu, *Library*. V okne *Library* stlačením pravého tlačidla na myši, vytvoríme *New Library* (zobrazené na obr. 37). V okne *Create New Library* zvolíme názov našej knižnice, napr. BP.



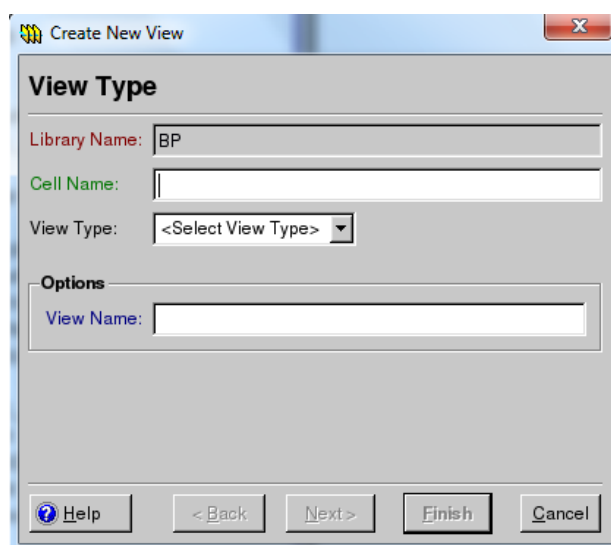
Obr. 37 Vytvorenie novej knižnice

Ďalej postupujeme rovnakým spôsobom ako pri *Library*. V novovytvorenej knižnici, v okne s názvom *Cell*, zvolíme *New Cell View* (zobrazené na obr.38).



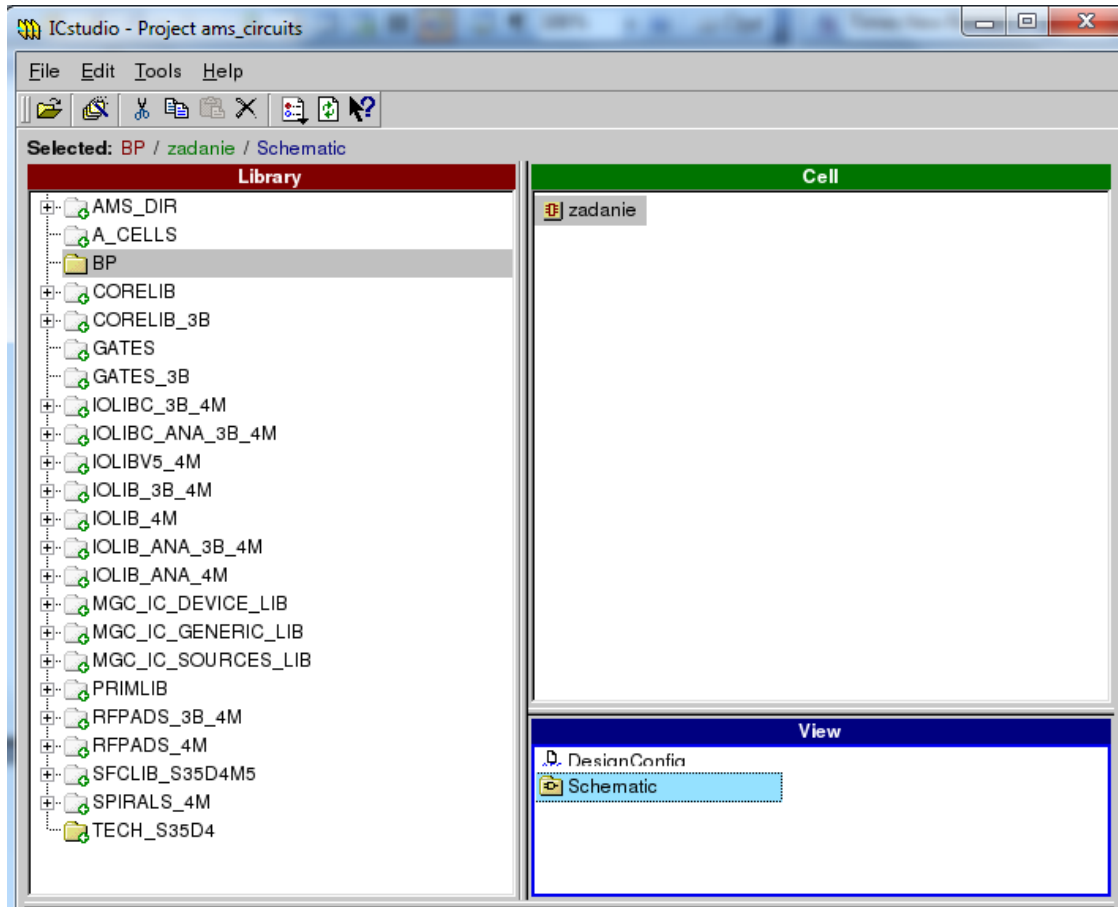
Obr. 38 Vytvorenie bunky

Pomenujeme našu bunku (*Cell Name*). Pri možnosti *View Type* zvolíme typ *Schematic* (zobrazené na obr. 39).



Obr. 39 Vytvorenie súboru

Súbor *Schematic*, umiestnený v okne *View*, slúži na otvorenie nášho projektu (obr. 40).



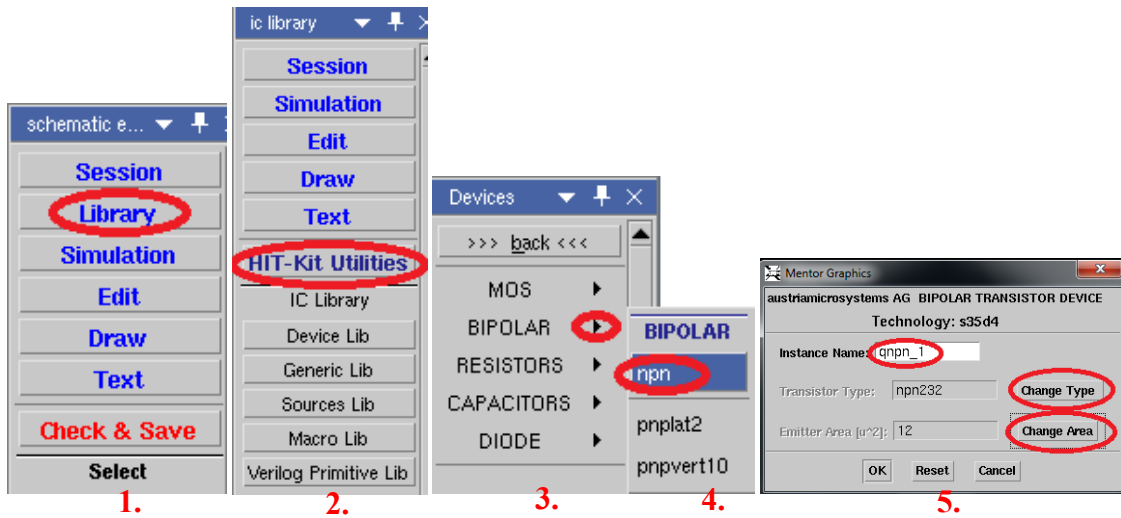
Obr. 40 Spúšťanie projektu

HIT-Kit Utilities

Vloženie tranzistorov

Na realizáciu návrhu zmiešavacieho zosilňovača využijeme simulačnú knižnicu *HIT-Kit Utilities*, ktorá je kompatibilná s naším výrobcom Austriamicrosystems. V tejto zložke nájdeme všetky potrebné prvky na vytvorenie tohto zosilňovača. Výberom na *Library* → *HIT-Kit Utilities* → *Devices* → *BIPOLAR*, zvolíme požadované bipolárne tranzistory. Ľavým kliknutím na šípku, ktorá sa nachádza na ikone *BIPOLAR*, vyberieme typ „npn“. V okne súčiastky (tranzistora) zvolíme pre tranzistor „qnpn_1“ požadovaný typ „npn232“ (*Change Type*). Podobne zmeníme šírku plochy emitora, a to výberom hrúbky „3“ alebo „12“ (*Change Area*). Výber jednotlivých zložiek je ilustrovaný na obr. 41 krok za krokom. Šírka plochy emitora je odlišná preto, aby sme

mohli regulovať prúd a dosiahnuť lepšiu prenosovú charakteristiku. Riadime sa podľa návrhu. Buďme dôslední, pretože sa v ňom môžeme ľahko stratiť.



Obr. 41 Menu HIT-Kit Utilities

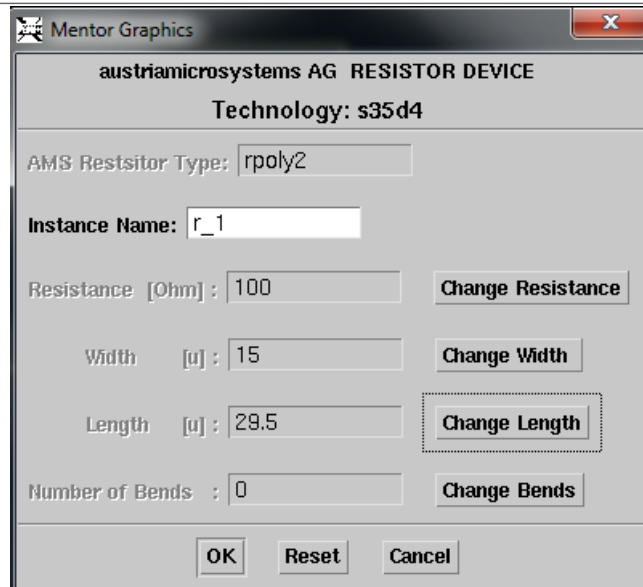
Takto vytvorený tranzistor umiestnime v simulačnom prostredí. Pomocou tlačidla „C“ môžeme vytvoriť kópie s rovnakými parametrami. Názov tranzistora *qnpn_x* zmeníme tak, že prvok označíme a následne stlačíme tlačidlá Alt + F6. Tlačidlo „R“ slúži na rotáciu prvku. Ak potrebujeme prvok otočiť zrkadlovo, označíme prvok a stlačením pravého tlačidla (na myši) sa zobrazí okno *Instance*, zvolíme *Flip* → *Horizontal* alebo *Vertical*. Ukážka je znázornená na obr.42.




Obr. 42 Ukážka tranzistorov

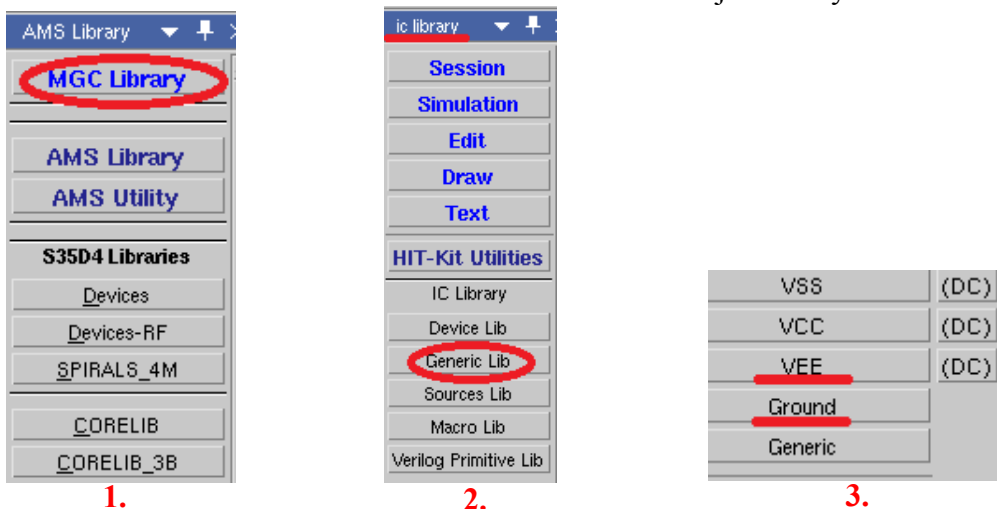
Vloženie rezistorov

Podobným spôsobom vyberieme aj rezistory z ponuky *HIT-Kit Utilities* → *Devices* → *Resistors*. V návrhu sa nachádzajú dva druhy rezistorov – *rpoly2* a *rpolyh*. Navzájom sa líšia len v hustote rezistencie. Pomocou parametrov *Width* a *Length* nastavíme odpor. Ako príklad uvádzam rezistor *r_1* typu *rpoly2*, ktorý je nastavený podľa parametrov znázornených na obr.43.

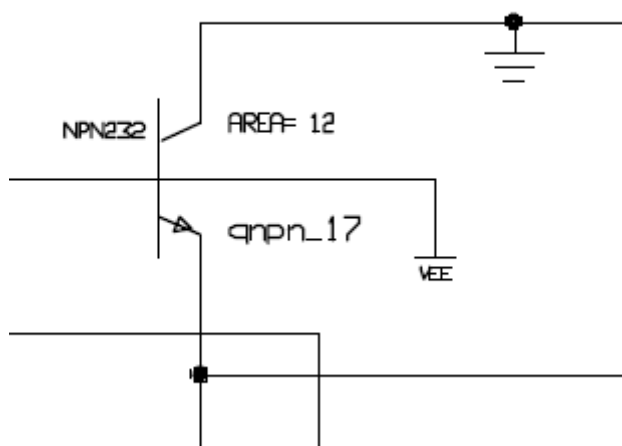


Obr. 43 Nastavenie parametrov rezistora

Ak sa stane, že po rotácii popisné údaje prvku nerotujú spolu s prvkom, je potrebné znova označiť prvok, vykonať príkaz Alt + F6 a následne potvrdiť stlačením OK. Postupne si tieto jednotlivé prvky prepájame pomocou ikony s názvom Add Wire  (ktorú nájdeme v ľavej lište programu) alebo použijeme tlačidlo „F3“ pre rýchlejšiu voľbu. Pomocou tlačidla Esc ukončíme prepájanie prvkov. V schéme sa nachádza port *VEE*, ktorý nájdeme v ponuke *Generic Library* → *VEE*. Tento port slúži ako odkaz pre ostatné porty *VEE*, aby bol návrh prehľadnejší. Ak sa nachádzame ešte stále v *AMS Library*, odkiaľ sme čerpali bipolárne tranzistory a rezistory, pomocou tlačidla *MGC Library* sa dostaneme späť do *IC library*, kde je voľba *Generic Library*. Nájdeme tu aj prvok na uzemnenie *Ground*. Ilustrácie sú zobrazené na obr. 44 s jednotlivými krokmi.



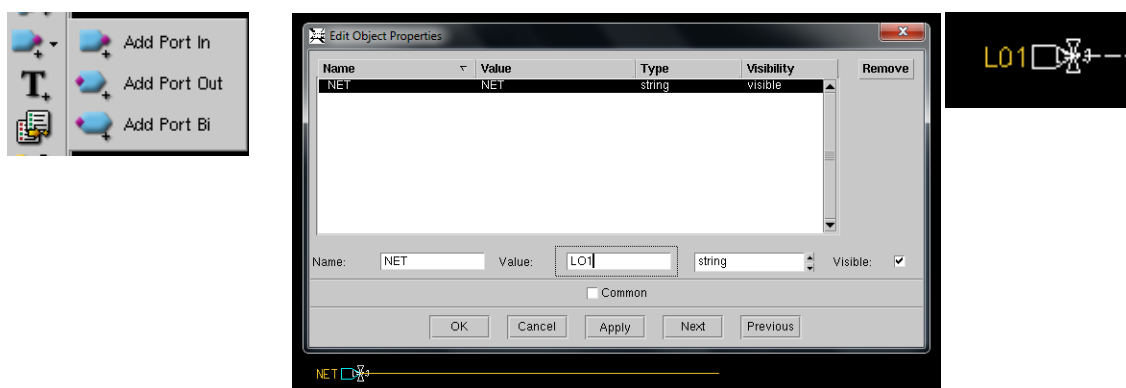
Obr. 44 Knižnica prvkov



Obr. 45 Časť z návrhu

Vloženie portov

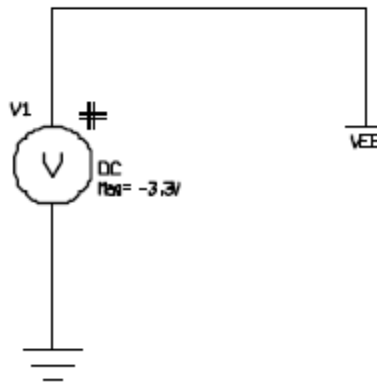
Vstupné a výstupné porty nájdeme v ľavej lište. Po ich výbere označíme port a stlačíme tlačidlo „Q“. Označíme riadok *NET* a *Value* zmeníme na *LO1*, potom stlačíme *Apply*. Týmto krokom sme vytvorili vstupný port oscilačného signálu *LO1* (zobrazené na obr. 46). Výstupné porty robíme rovnakým spôsobom.



Obr. 46 Vloženie portov

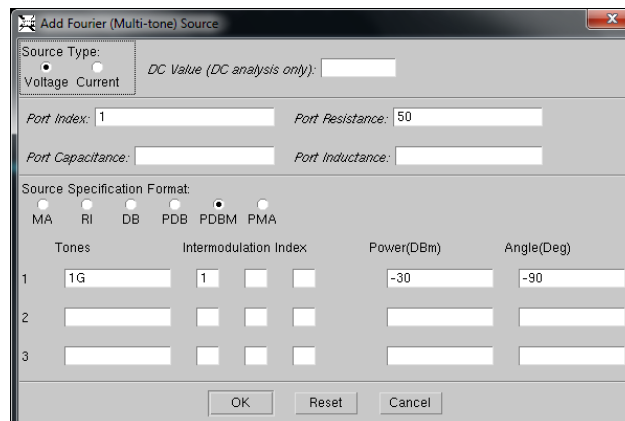
Vloženie zdrojov

Jedným z posledných krokov, ktoré musíme urobiť, aby sme mohli obvod simulovať, je zapojiť zdroje. V *IC Library* vyberieme *Sources Library* → *DC (V)*. Označíme ho a stlačením tlačidla „Q“ sa nám zobrazí okno, definujúce parametre tohto zdroja. Klikneme na riadok DC a zmeníme hodnotu napätia (*Value*) z 1V na -3.3V. Na kladný pól (+) zapojíme *VEE* zdroj (*Generic library*) a druhú časť uzemníme tak, ako to je vyznačené na obr.47.



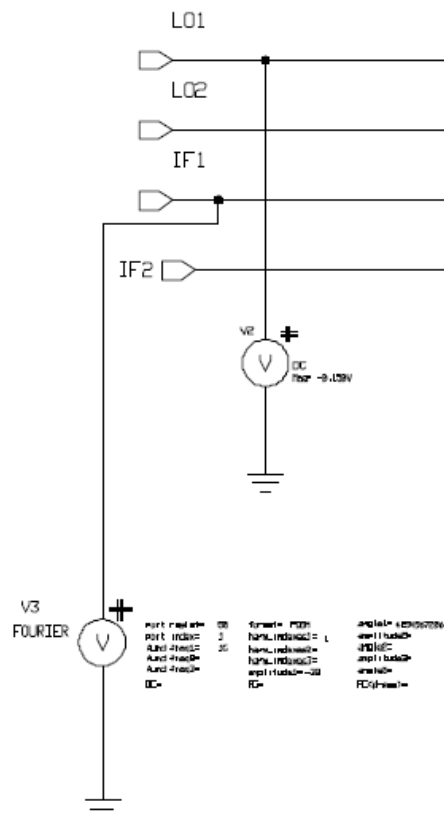
Obr. 47 Vloženie zdroja s portom VEE

Signál z oscilátora vstupného portu *LO1* pripojíme na *DC (V)* zdroj, zmeníme hodnotu napätia na *-150 mV*. Port *LO2* necháme voľne visieť. Privádzajúci signál vstupného portu *IF1* pripojíme na zdroj zvaný *FOUR (V)* (*Sources library*), pretože nás zaujímajú hlavne s parametre. V okne *Add Fourier Source* definujeme parametre pre tento zdroj, obr. 48. Zvolíme *Source Type Voltage*, *DC Value* nedefinujeme, *Port index 1*, *Port Resistance 50*, *Port Capacitance* a *Inductance* nedefinujeme, *Format* ponecháme *PDBM*, *Tones 1=1G*, *Power (Dbm) -30* a *Angle (Deg) -90*. Privádzajúci signál vstupného portu *IF2* necháme naprázdno.



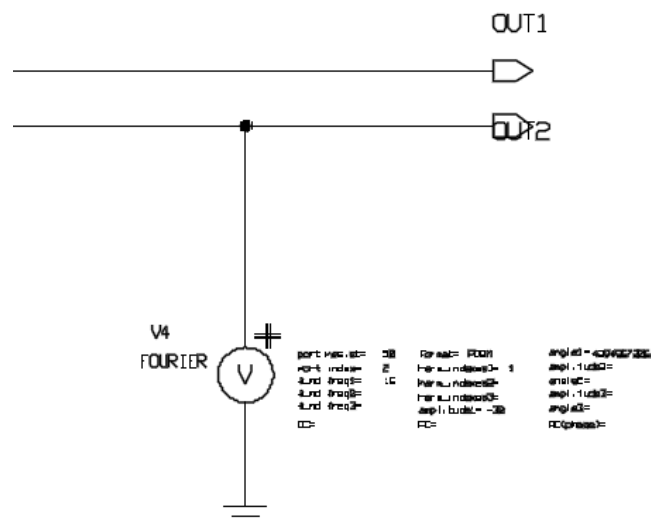
Obr. 48 Nastavenie FOUR(V) zdroja

Konečné umiestnenie zdroja na vstupe by malo vyzerat' ako na obr.49.




Obr. 49 Umiestnenie FOUR(V) zdroja na vstupe

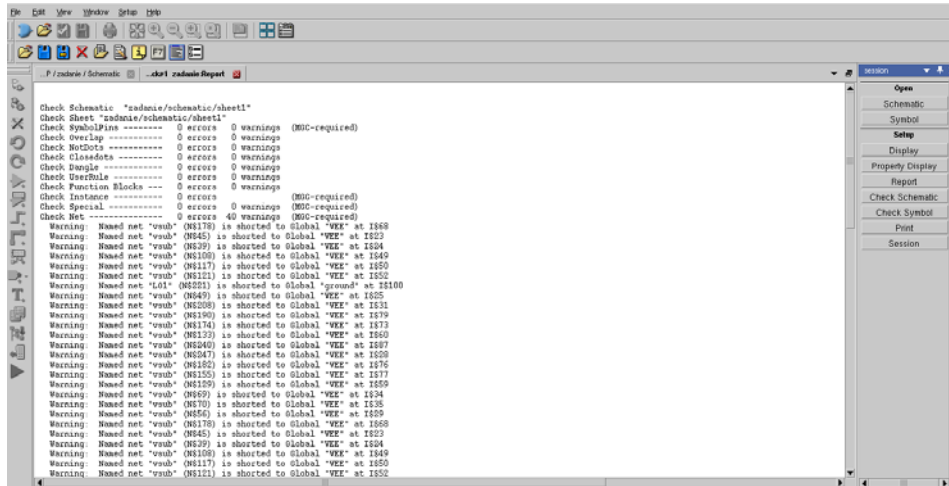
Pre výstupný port *OUT2* (obr.50) pripojíme ten istý napät'ový zdroj *FOUR*, v tabuľke zmeníme hodnotu port indexu na 2. Výstupný port *OUT1* ponecháme bez zmeny.



Obr. 50 Umiestnenie FOUR(V) zdroja na výstupe

Overenie správnej funkčnosti návrhu

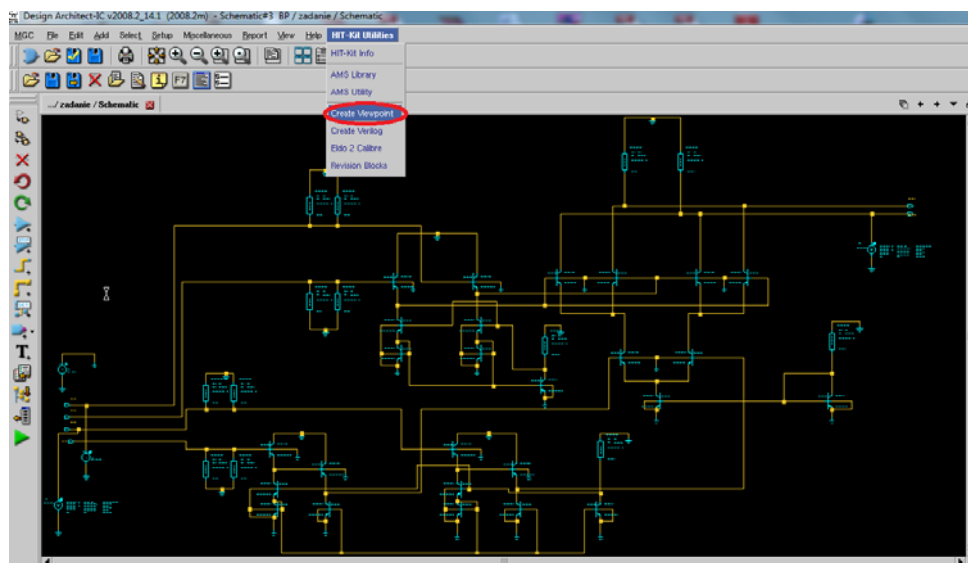
Celý obvod treba po navrhnutí dôkladne vizuálne skontrolovať. Na kontrolu nám slúži aj tento program, a to prostredníctvom ikony *Check* , ktorá sa nachádza v hornej lište. V zozname check listu nie sú dôležité upozornenia (*Warnings*), ale chyby (*Errors*), ktoré je nutné odstrániť (obr. 51).



Obr. 51 Check list

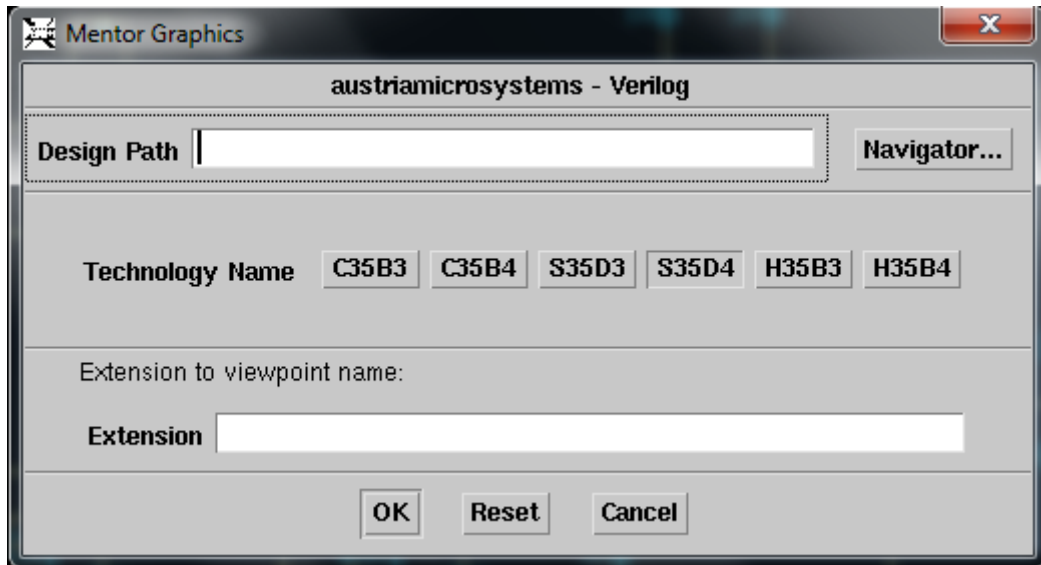
Vytvorenie View pointu

Po úspešnom nakreslení schémy je posledným krokom v návrhovom mode vytvorenie *Viewpoint-u*. Kliknutím na *HIT-Kit Utilities* vyberieme položku *Create Viewpoint* (obr.52). Je to riešenie výrobcu, prostredníctvom ktorého sa nastaví premenné. Tie sú potrebné na to, aby softvér spolupracoval s *HIT-Kit-om*.



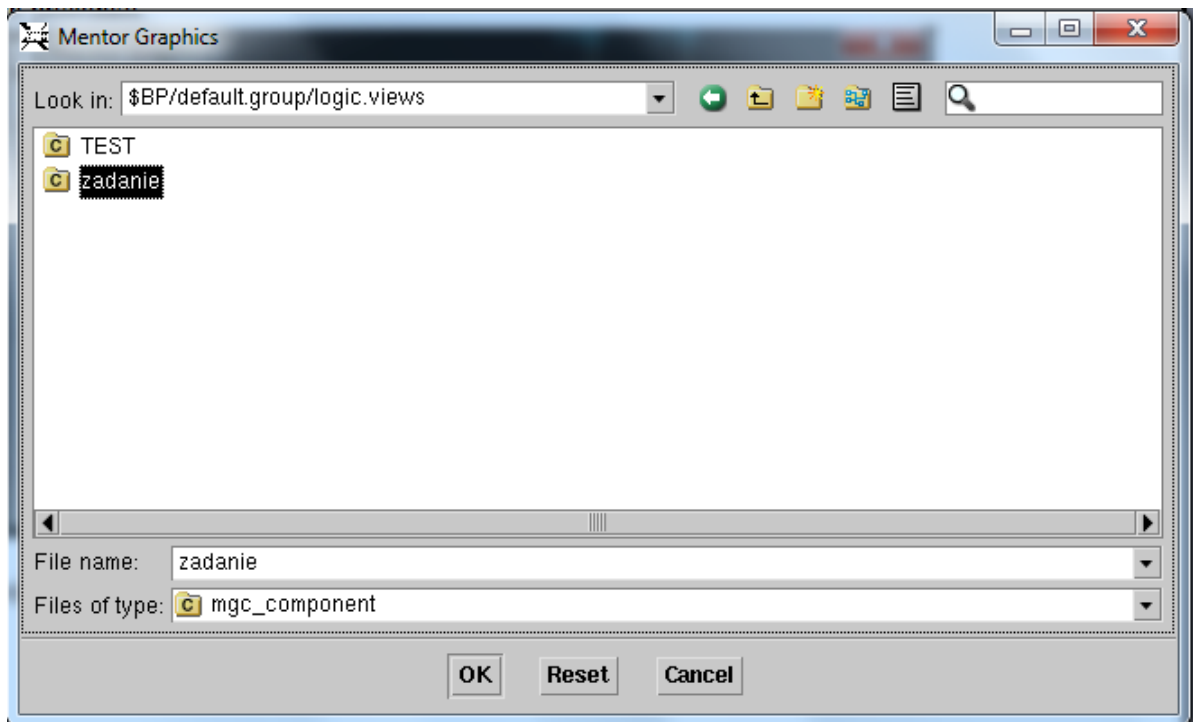
Obr. 52 Vytvorenie View pointu

Zobrazené okno od nás požaduje definovať cestu k priečinku uloženej schémy. Pre lepšiu názornosť pozri obr. 53.



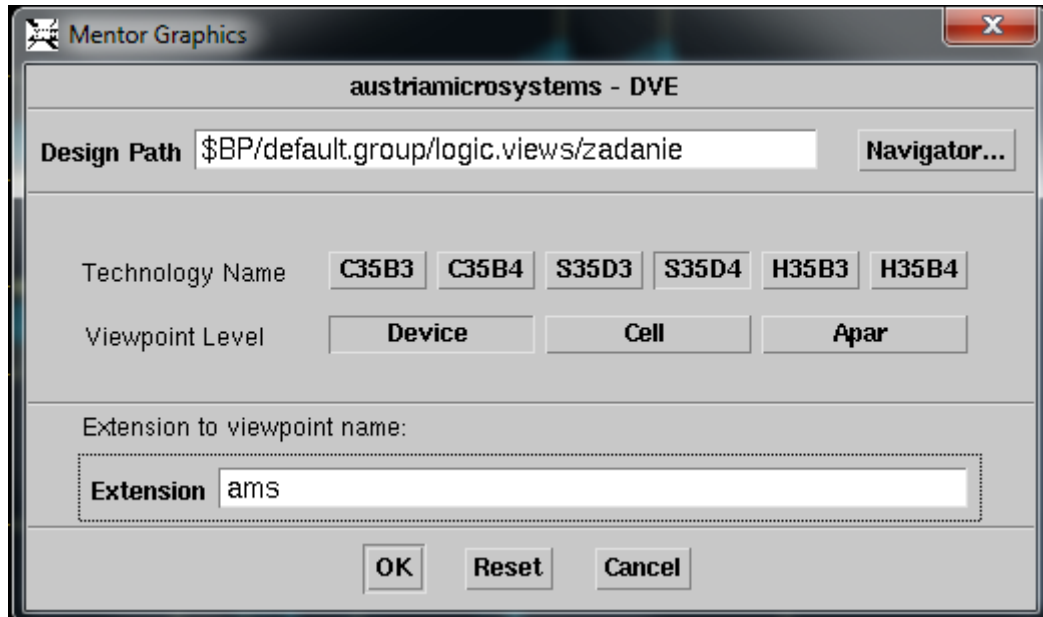
Obr. 53 Určenie cesty View point-u

V mojom prípade to vyzerá ako na obr.54 po správnom nájdení cesty, potvrdíme stlačením tlačidla *OK*.




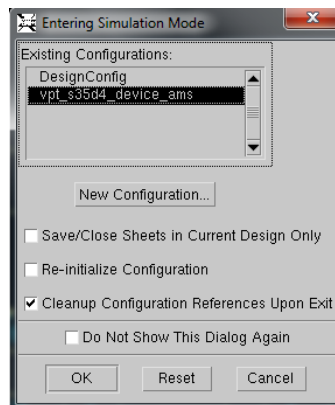
Obr. 54 Nájdenie cesty View point-u

Uistíme sa, či máme správny typ *Technology Name*. V tomto prípade používame *S35D4*. Za *Viewpoint Level* zvolíme *Device*. *Extension* slúži na pomenovanie koncovky, ktorá je *ams*, ako je to na obr. 55. Po dôkladnom skontrolovaní, môžeme potvrdiť tlačidlom *OK*.




Obr. 55 Ukončenie výberu

Pomocou tlačidla *Enter Simulation Mode*  sa dostaneme do simulačného prostredia. Následne sa nám objaví ďalšie okno, v ktorom si vyberieme *Viewpoint*, ktorý sme práve vytvorili (obr. 56).

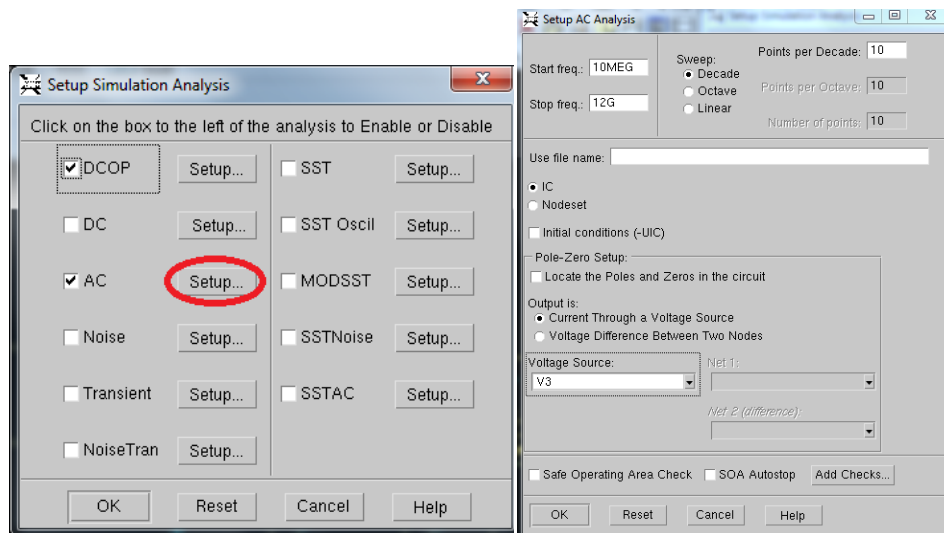


Obr. 56 Vstup do simulačného prostredia


Simulácia

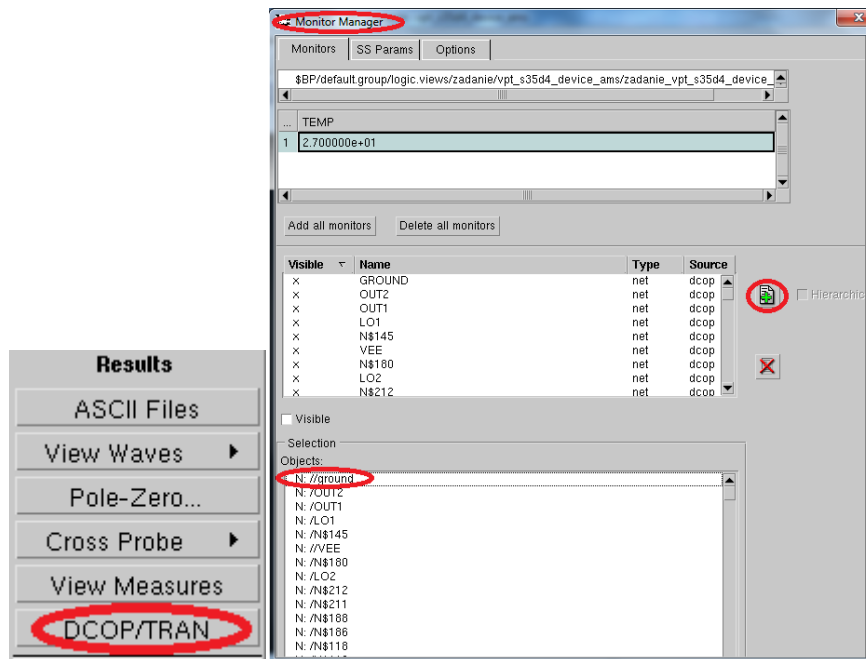
V simulačnom prostredí musíme nastaviť pre náš obvod prvky, ktoré boli použité z knižnice *HIT-Kit Utilities*. V hornej lište zvolíme *HIT-Kit Utilities* → *Set Simulation Models*. Presvedčíme sa, či sú zvolené všetky parametre v položke *Typical* a potvrdíme tlačidlom *OK*. Po tomto kroku si vyberieme typ analýzy, ktorý chceme spracovať. Výber uskutočníme cez grafický symbol *Setup Analysis* . Pre tento

obvod zvolíme analýzu *DCOP* a *AC*. Pri *AC* analýze nastavíme v *Setup* začiatočnú frekvenciu na 10 MEG a konečnú frekvenciu na 12G. Potom zvolíme *Sweep* → *Decade* a *Points per Decade* na hodnotu 10. Zaškrtneme *IC*, *Output is* → *Current Through a Voltage Source*. *Voltage Source* – zdroj zvolíme taký, aký sa nám pripája na privádzajúci signál vstupného portu *IF1*. V mojom prípade je to napäťový zdroj *V3* (obr. 57).



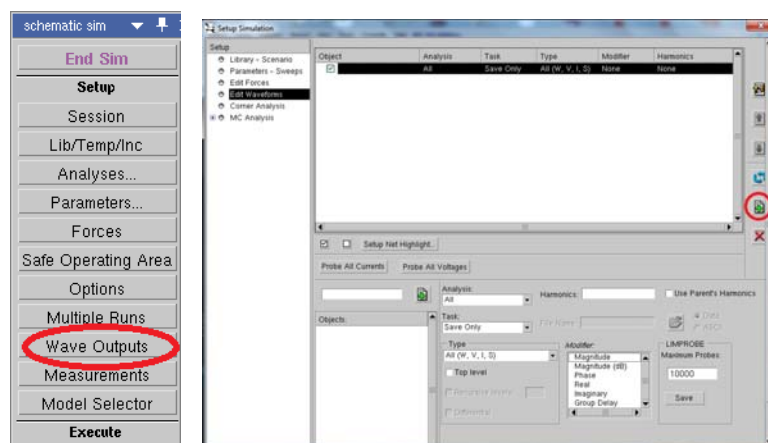
Obr. 57 Nastavenie analýzy

Na zobrazenie jednotlivých hodnôt prúdov a napätí, označíme celú schému obvodu a klikneme na možnosť *DCOP/TRAN*, ktorá je umiestnená dole v pravej lište. Po vyskočení okna *Monitor Manager*, označíme v položke *Selection* jednu zložku (napr. *N://ground*) a stlačením klávesovej skratky *Ctrl+A* označíme všetky komponenty nachádzajúce sa v obvode. Do okna *Visible* ich pridávame pomocou tejto ikony . Postup je znázornený na obr.58 V obvode sa objavia konkrétne hodnoty napätí a prúdov.




Obr. 58 Nastavenie vykreslenia napätí a prúdov

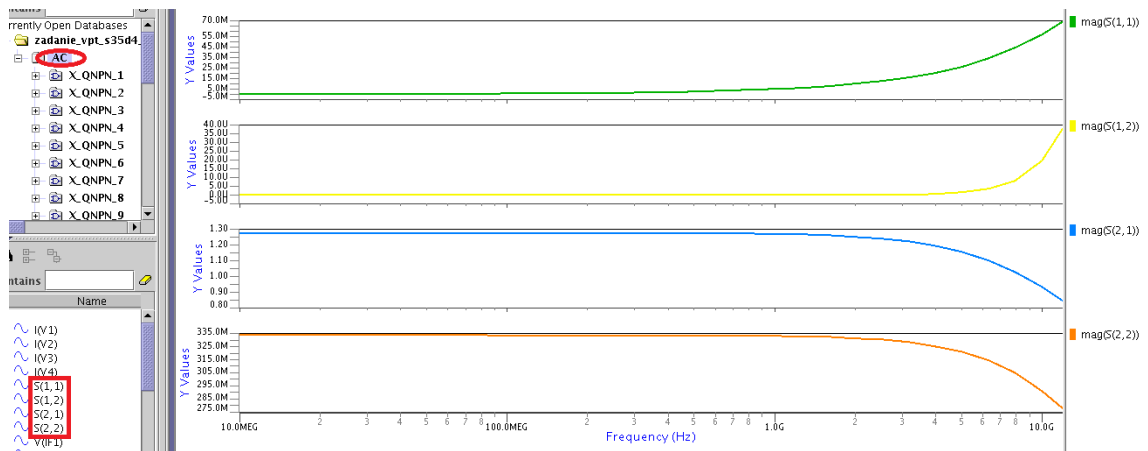
Na vykreslenie jednotlivých priebehov, je potrebné nastaviť simulačné výstupy na pravej lište kliknutím na *Wave Outputs*. Ak chceme mať v analýze všetky možné prvky, tak označíme hodnoty na *All*. Po zobrazení okna zvolíme v nastavení *Edit Waveforms Analysis* → *All*, *Task* → *Save Only*, *Type* → *All (W, V, I, S)*, *Modifier* → *Magnitude* a *Maximum Probes* → *10000*. Potvrdíme pridaním cez ikonku zeleného plus, *Add Wave Output* (obr.59).



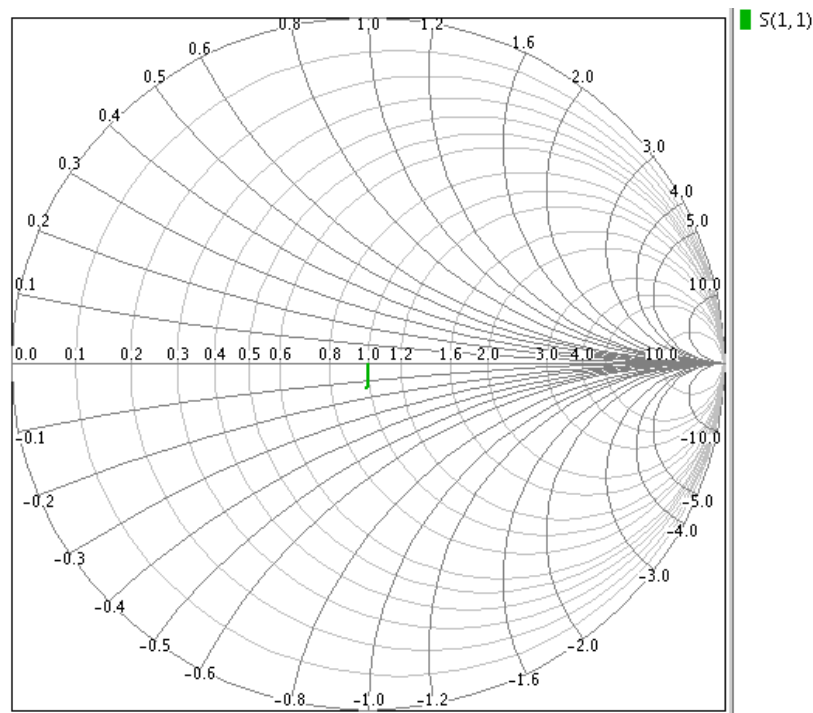
Obr. 59 Zobrazenie výstupov

Vľavo dole sa nachádza symbol zvaný *View Outputs* , ktorý nám umožňuje vykreslenie jednotlivých priebehov v rôznych jednotkách, či dokonca aj diagramoch, ako napríklad v Smithov-om diagrame. Nás zaujímajú predovšetkým


S parametre, ktoré vykreslíme stlačením ľavého tlačidla na požadovanom S parametri (x,y) a pravým tlačidlom na *Plot as* → *db, magnitude, real, smith_chart* vyberieme jednu z možností (obr.60 a obr. 61).



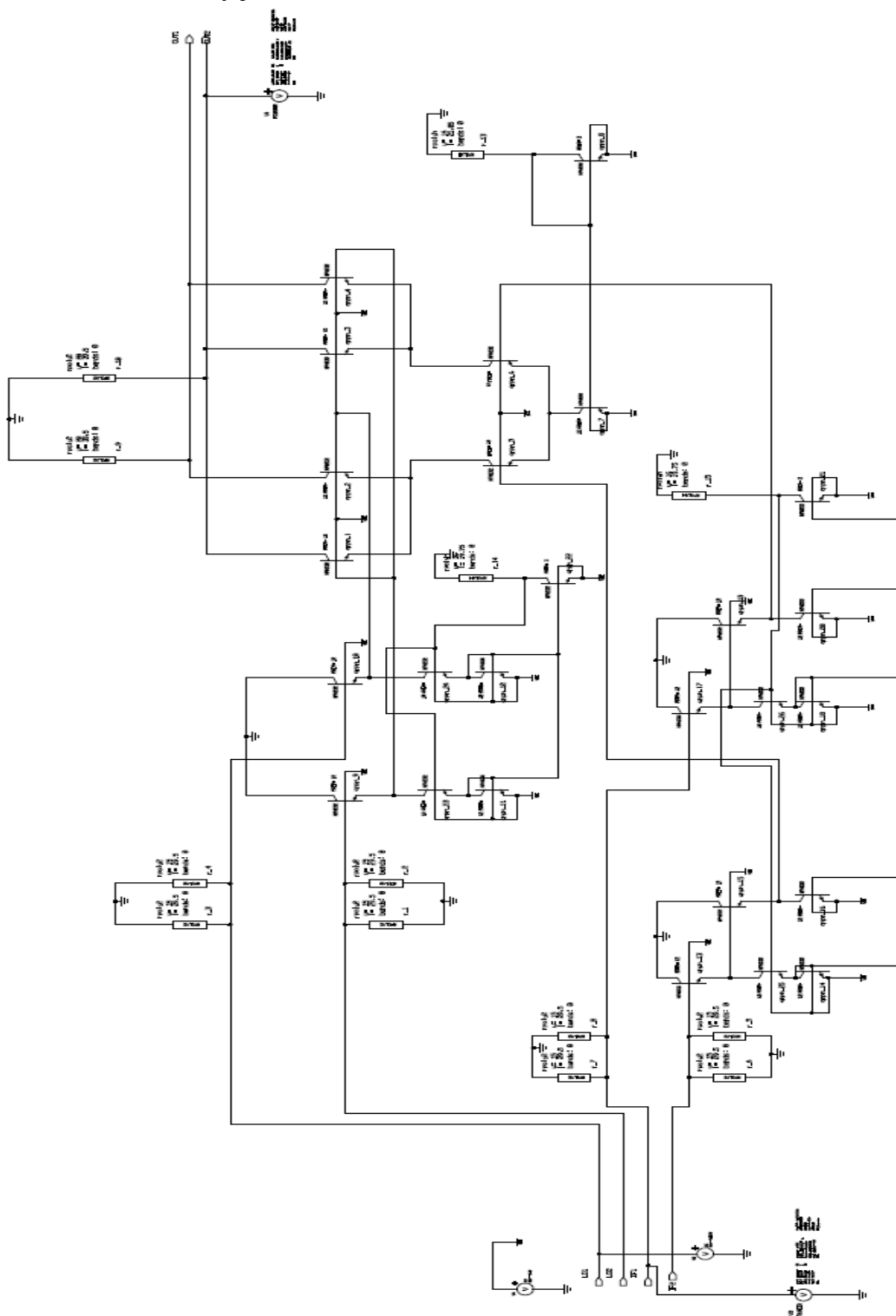
Obr. 60 Vykreslenie simulácií



Obr. 61 Smithov diagram S(1,1)

Pre ukončenie simulácie slúži symbol *End Sim Mode* , ktorý sa nachádza v ľavom dolnom rohu lišty. Automaticky prejdeme zo simulačného prostredia do návrhového. Náš obvod môžeme vytlačiť cez symbol v hlavnej lište *Print*. Ako *Print Name* uvedieme *PDF*. Veľkosť strany si zvolíme na požadovaný formát, ale ponecháme *Rotation* → *Best Fit*, *Output Format* → *Basic PostScript* a *Color* →

Monochrome pre lepšiu čitateľnosť. Schéma sa nám uloží v domovskom priečinku. Názorná ukážka schémy je na obr.62.



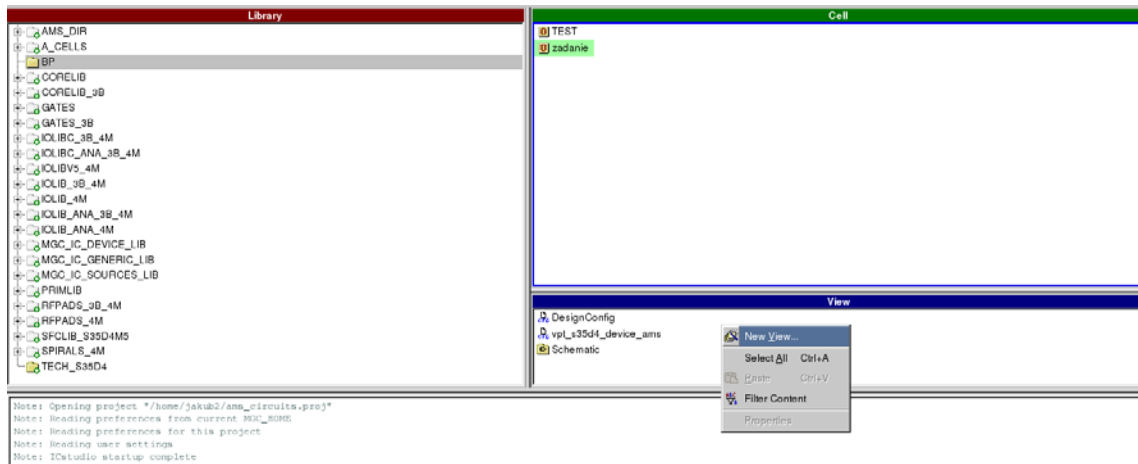
Obr. 62 Schéma zmiešavača

Príloha B

Prípadová štúdia rozmiestnenia prvkov na čipe

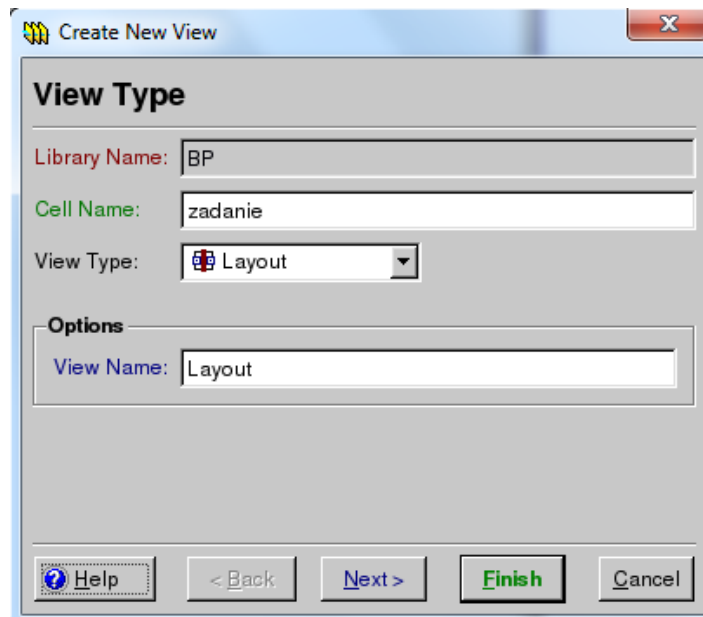
Prípadová štúdia rozmiestnenia prvkov na čipe

Prostredie rozmiestnenia prvkov na čipe (*Layout*) je časovo náročnejšie ako nakreslenie obvodu v simulačnom prostredí. Je tiež zložitejší a vyžaduje si presnosť pri vytváraní jednotlivých vrstiev. Pri rozmiestnení prvkov je potrebné voliť vodivé vrstvy tak, aby výsledný návrh nemal buď impedančný, alebo kapacitný charakter. Do prostredia *Layout* sa dostaneme tak, že na začiatku si vytvoríme v knižnici, v okne View, nový *New View Type* → *LAYOUT* (obr. 63).



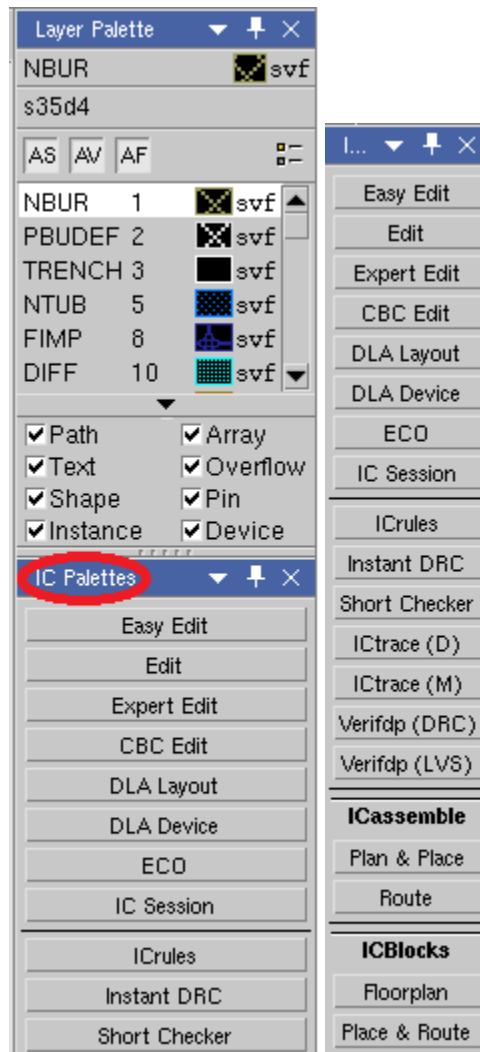
Obr. 63 Vytvorenie projektu Layout

V okne *Create New View* zvolíme *Type Layout* → *Finish*. Celý postup je znázornený na obr.64. Nasledovne sa nám otvorí prostredie v ktorom môžeme navrhnuť rozmiestnenie prvkov na čipe.



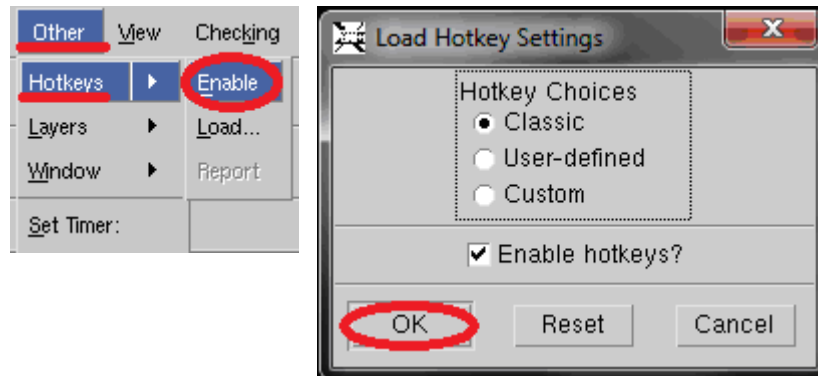
Obr. 64 Vytvorenie View Type-u

Pre lepšie pracovanie v tomto prostredí odporúčam, aby sme si tabuľku nástrojov zvanú *IC Palettes* presunuli do ľavej lišty. Vyhneme sa tak nechcenému posúvaniu myškou a ponúkané možnosti v lište budú prehľadné na ich výber. Vykonáme to tak, že stlačíme ľavé tlačidlo na myške a držíme na *IC Palettes* a presunieme ju do ľavej lišty (obr. 65).



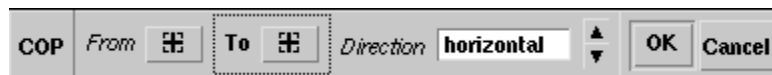
Obr. 65 Presun lišty IC Palettes

Predtým ako začneme, navrhujem zapnutie *Hotkeys*. Identifikátor sa nachádza vpravo hore nad *Layer Palette* `Hotkeys: off`. Možnosť zapnutia tohto pomocníka nájdeme na obr. 64 – Zapnutie *Hotkeys*. Po vyskočení okna potvrdíme tlačidlom *OK*. *Hotkeys* je potrebné zapnúť po každom zapnutí prostredia *Layout*. Umožní posúvať sa v simulačnom prostredí pomocou kurzorov, čo sa nám pri navrhovaní prvkov na čip veľmi zídne (obr. 66).



Obr. 66 Zapnutie Hotkeys

Pomocník *Hotkeys* umožňuje v prostredí uplatňovať klávesové skratky, ako R (rotácia), C (kopírovanie), M (premiestňovanie). Po zadaní skratky R, M, či C vyskočí okno (obr.67), v ktorom je možné definovať smer (*Direction*), a to horizontálne, vertikálne, či diagonálne. Toto menu výrazne uľahčuje rozloženie prvkov. Ak máme už *Ho keys* zapnuté, signalizuje to status `Hotkeys: on`.



Obr. 67 Menu pri kopírovaní prvkov

Výber prvkov

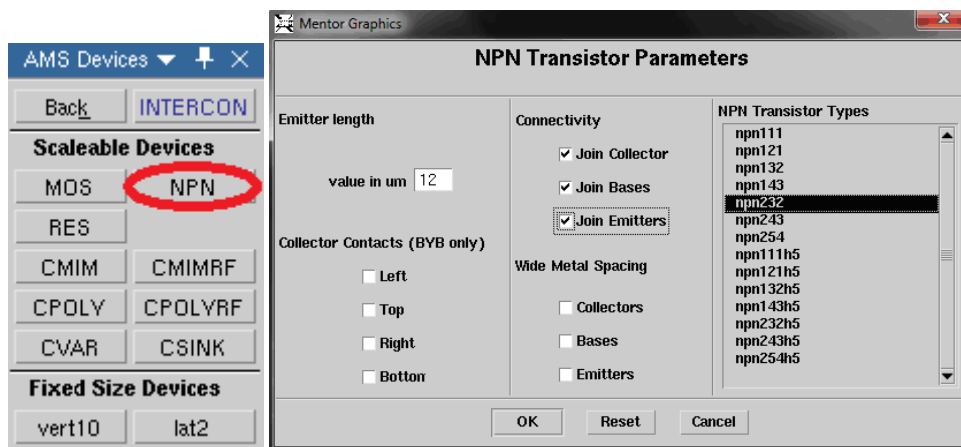
Jednotlivé prvky si vyberieme z hornej hlavnej lišty, *HIT-Kit Utilities* → *AMS Devices* (obr. 68). Nasledujúca položka sa nám objaví vľavo dole aj s nástrojmi. Po usadení jednotlivých prvkov ich odznačíme klávesovou skratkou F2.



Obr. 68 AMS Devices

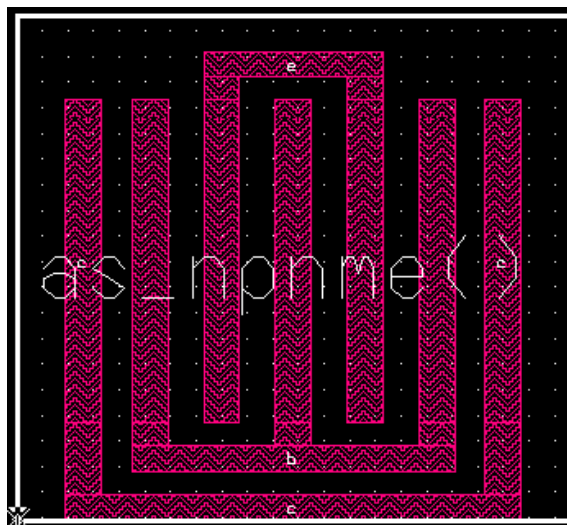
Vloženie tranzistorov

Pre náš obvod používame tranzistory *NPN*. Po kliknutí na ikonu *NPN*, sa zobrazí okno s možnosťou nastavenia parametrov. Dôležité parametre treba dôkladne nastaviť. Dĺžku emitora nastavujeme podľa požiadaviek, v mojom prípade ju nastavíme na dĺžku 12 alebo 3 (*Emitter length*). V položke *Connectivity* (obr. 69) odporúčam odškrtnúť všetky tri políčka. To nám zabezpečí, že prvky tranzistora budú ucelené do celku. Následne v položke *NPN Transistor Types* vyberieme požadovaný druh tranzistora. Tlačidlom *OK* dokončíme výber prvku.



Obr. 69 Nastavenie parametrov NPN tranzistora

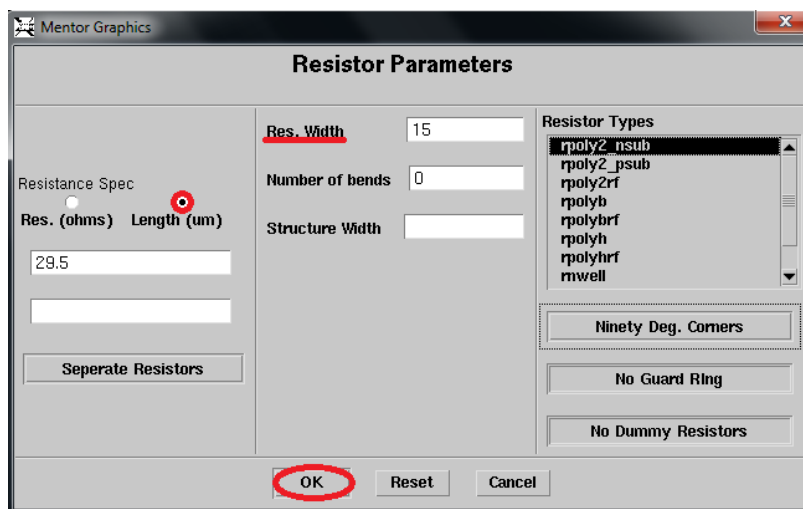
Prvok uložíme v prostredí. Názorná ukážka tranzistora typu NPN 232 je na obr. 70. Posúvanie tranzistora pomocou kurzorov je prehľadnejšie, samozrejme použitie klávesových skratiek pomocou *Hotkeys* je taktiež možné.



Obr. 70 NPN 232

Vloženie rezistorov

Rezistory vyberieme z ponuky *HIT-Kit Utilities* → *AMS Devices* → *RES*. Po ich zvolení, nám vybehne okno *Resistor Parameters*. Odpor rezistora môžeme zadať dvojakou, a to priamo hodnotou, alebo zvolením dĺžky a šírky odporovej vrstvy rezistora. V mojom prípade som volil zadanie odporu pomocou zadávania dĺžky a šírky (*Length*, *Width*). V položke *Number of bends* zadáme nulu, potom vyberieme požadovaný typ rezistora. Uhol rohov rezistora odporúčam zadávať na *Ninety Deg. Corners* (*Fourty five Deg. Corners*). Ostatné možnosti zvolíme na *No Guard Ring* a *No Dummy Resistors*, kde ide o nadbytočnú vrstvu. Výber potvrdíme tlačidlom *OK*. Na obr. 71 je vykreslené okno, ako zadávať jednotlivé parametre rezistora. Ukážka na obr.72 poukazuje, ako vyzerá rezistor *rpoly2_nsub* v prostredí.



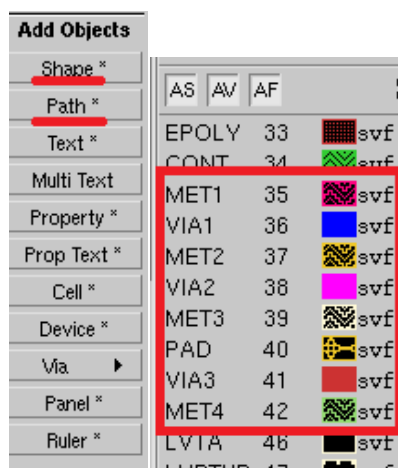
Obr. 71 Nastavenie parametrov rezistora



Obr. 72 *rpoly2_nsub*

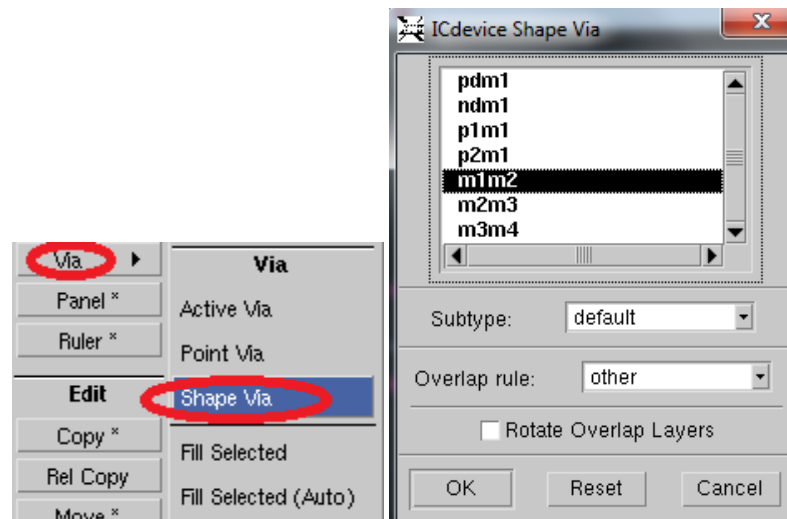
Vytvorenie vodivých ciest

Prepájanie prvkov medzi sebou môžeme riešiť dvoma spôsobmi, a to výberom z ponuky *Easy Edit* → *Shape*, alebo *Path* (obr.73). Ja používam možnosť *Shape*, preto lebo je ľahšia na tvorbu jednotlivých ciest a modifikácia je prijateľná. Je dôležité, na ktorej vrstve ťaháme vodivé cesty. Preto sa vopred uistíme, aký typ vrstvy máme zvolený vpravo v lište. Veľkosť cesty volíme optimálne. Každá vrstva má iné vodivé vlastnosti, preto je potrebné poznať parametre jednotlivých vrstiev. V dokumente *ENG219_rev5_0.35u_HBT_BiCMOS _Process_Parameters*, na strane 11, nájdeme tabuľkové hodnoty pre jednotlivé vrstvy. Možnosť *Context*→*Hierarchy* →*ping* zobrazuje všetky vrstvy a môžeme využiť aj klávesovú skratku *Ctrl+F6*. Pre dôkladnejšie rozmery ciest odporúčam využívať aj ponuku *Ruler*, kde sa zobrazí pomocné pravítko, ktorému určíme počiatočný bod od merania až po koncový bod.



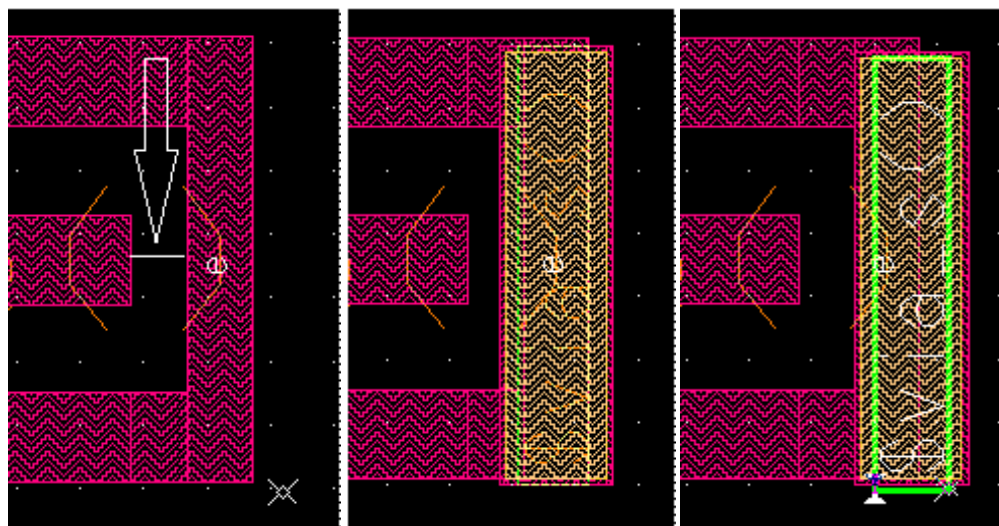
Obr. 73 Vytváranie ciest

Pri navrhovaní rozmiestnenia prvkov na čípe vyžívame viacero vrstiev. Naša technológia ponúka na realizáciu až štyri vrstvy. Medzi každú vrstvu je potrebné vytvoriť medzivrstvu, ktorá je potrebná pre správnu funkčnosť. Výber jednotlivých medzivrstiev umožňuje panel *Add objects*→*Via* → a následný výber medzivrstvy (*m1m2*, *m2m3*, *m3m4*), vidieť to aj na obr. 74. Medzivrstvy sú tri a každá je určená pre ktorý účel je ju možné použiť. Napr. medzivrstvu *m1m2* použijeme na prepojenie vrstiev *MET1*, čo je prvá metalická vrstva, a vrstvy *MET2*.



Obr. 74 Vytváranie medzivrstiev

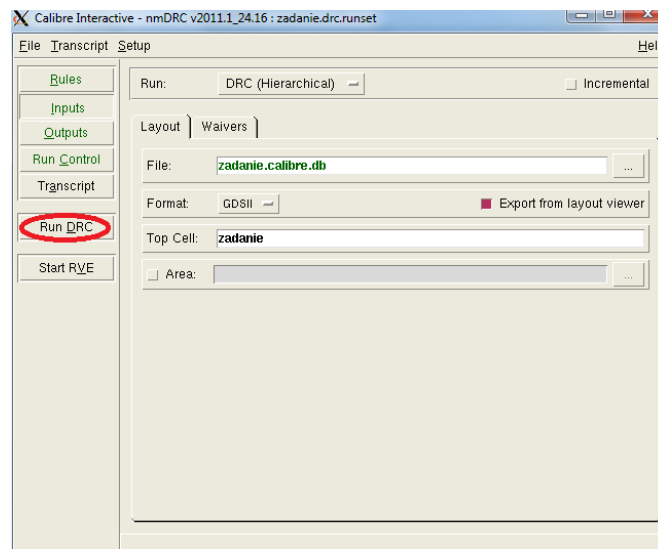
Je dôležité spomenúť dôraznosť pri vkladaní medzivrstvy (*via*). Často dochádza k nedodržaniu minimálnych vzdialeností, ako napr. pri vkladaní medzivrstvy na emitor. Tranzistor musí mať pevne danú medzeru medzi emitorom a bázou. Pri vkladaní medzivrstvy si sama vytvára dodatočnú *MET1* vrstvu, preto je potrebné počítať s tým, že sa priestor medzi jednotlivými časťami zúži. Pekne to vidieť na obr.75, zľava doprava je uvedený potrebný priestor medzi emitorom a bázou. V strede obrázka je tento priestor zúžený vrstvou *MET1*, ktorá vznikla pri vkladaní medzivrstvy *m1m2*. Vpravo je ukážková medzivrstva, ktorá si drží odstup medzi bázou a emitorom



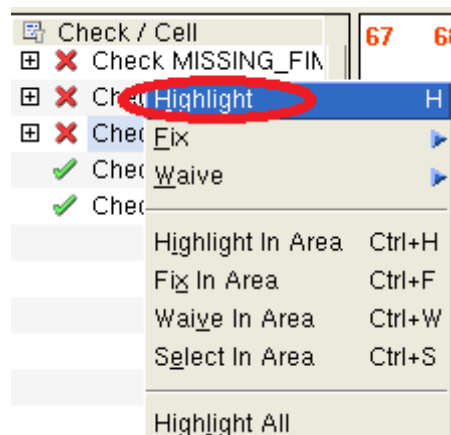
Obr. 75 Korekcia medzivrstiev

Spustenie DRC

Návrh skontrolujeme pomocou *Calibre*→*Run DRC*. Možnosť *Calibre* sa nachádza v hlavnej hornej lište. V okne *Calibre* sa nachádzajú na ľavej strane všetky chyby v navrhnutom obvode. Pre zvýraznenie chýb nám slúži funkcia *Highlight*, ktorú aktivujeme pravým kliknutím na jednotlivú chybu vypísanú v zozname. Môžeme využiť aj klávesovú skratku H, no musíme najprv označiť chybu a nachádzať sa v okne, kde máme tieto chyby vypísané. Označíme chybu stlačením pravého tlačidla myši a vyberieme spomínanú možnosť. V prostredí sa nám nedostatok zvýrazní a je ľahšie prísť na príčinu chyby. Odstránenie zvýrazneného lemovania chýb uskutočníme pomocou tlačidla *F4*, no musíme sa nachádzať v zozname chýb. Takto sa skontroluje celý navrhnutý obvod na čipe (obr.76 a obr.77).



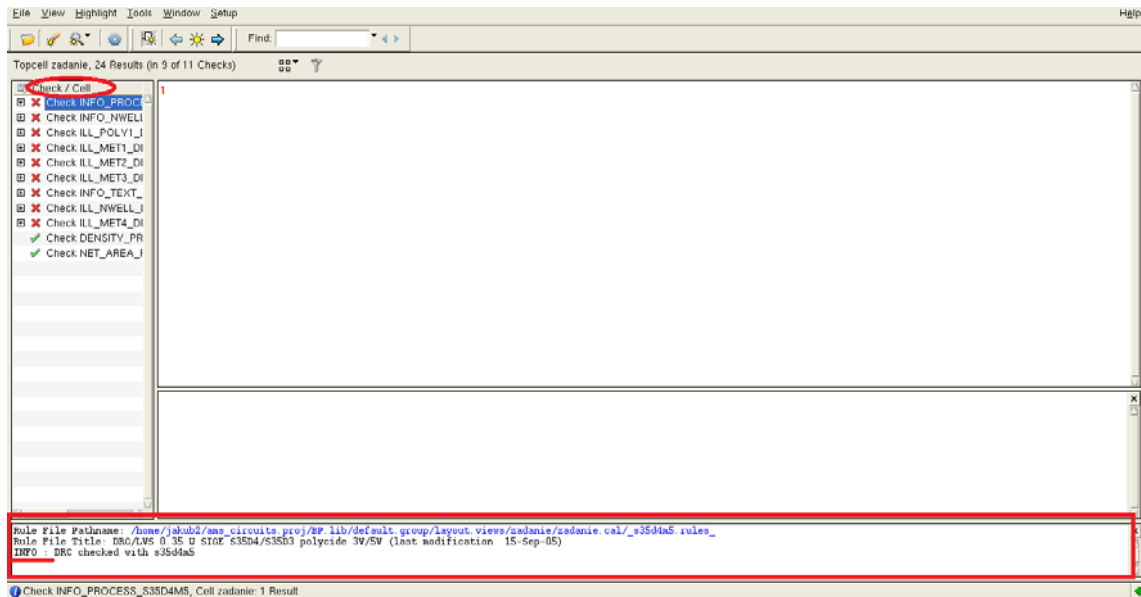
Obr. 76 Run DRC



Obr. 77 Zvýraznenie chýb

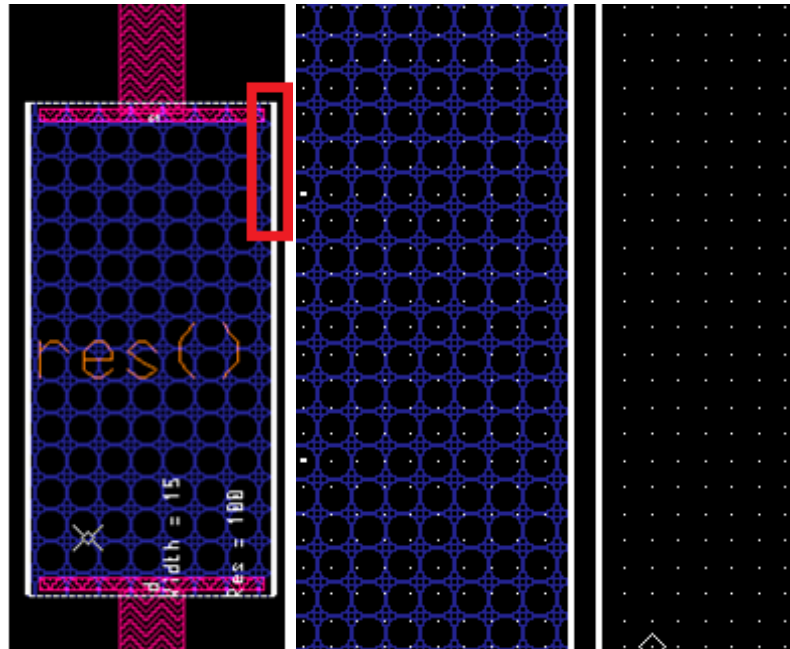
Odstraňovanie chýb Run DRC

V tejto kapitole si ukážeme niektoré základné chyby a tipy na ich odstránenie. Okno, ktoré sa nám zjaví po označení *Calibre* → *Run DRC*, signalizuje počet chýb v ľavej lište. Po výbere chyby zo zoznamu, vypíše bližší komentár v dolnej lište. Toto okno nie je možné aktualizovať, preto po opravení chyby odporúčam nanovo spustiť *Run DRC*. Okno je zobrazené na obr.78. Tento obrázok je len ilustratívny, pretože chyby nie sú v ňom až také závažné.



Obr. 78 Zoznam chýb

Chyba nachádzajúca sa v zozname **✘ Check MISSING_FIMP**, nám už z názvu napovedá, že vrstva *FIMP* chýba alebo ju máme zle usadenú. Cez funkciu *Highlight* si túto chybu vyznačíme (graficky znázornené na obr.79). Na prvý pohľad sa zdá, že je to v poriadku, ale program je neomylný a pri bližšom priblížení zistíme, že vrstva je jemne posunutá. Túto chybu odstránime tak, že dáme vrstvu na zvýraznené miesto. Označíme vrstvu *FIMP* a držením *CTRL* dáme vrstvu na správne miesto. Podobne je to aj s vrstvami *NLDD*, *HBT*, či *NBUR*.



Obr. 79 Chyba pri vkladani vrstvy FIMP

✘ Check ILL_MET1_NOT_VIA_CONT_ERC Chyba upozorňuje na to, že v schéme sa nachádza objekt, ktorý nie je zapojený. Je to častou chybou pri nedôslednom kopírovaní.

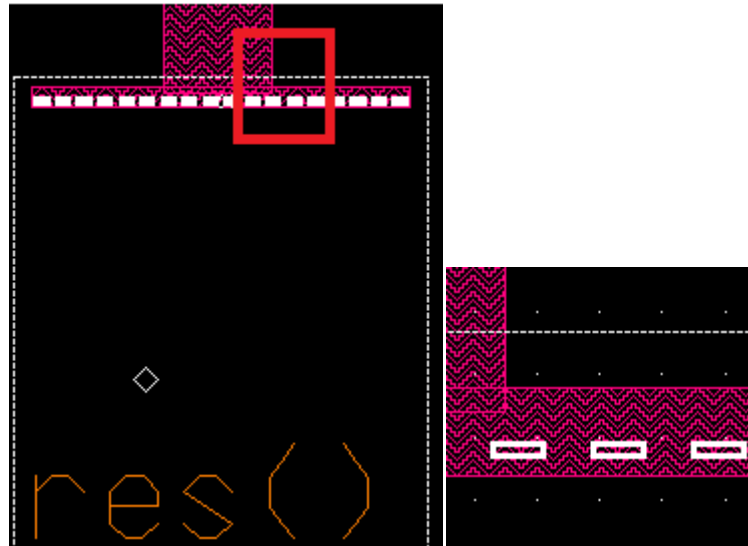
✘ Check WIDTH_MET1_M1W1 Tento nedostatok poukazuje na šírku vodivej cesty MET1, ktorá nie je zakončená na prislúchajúci kolektor tranzistora. Z komentára nachádzajúceho sa v dolnej lište (*MINIMUM MET1 width 0.5*) je jasné, že šírku tejto cesty nie je možné zhotoviť technológiou, pretože jej šírka je nedostatočná. Vyznačený, vyčnievajúci trojuholník vodivej vrstvy umiestnime tak, aby bol zarovno s hranou kolektora (obr.80).



Obr. 80 Vyčnievajúci dodatok vodivej vrstvy

✘ Check ILL_CONT_RPOLY2_ERC

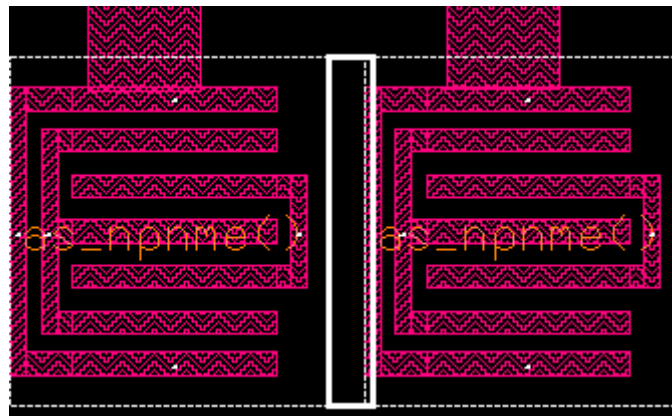
Táto chyba (obr.81) s veľkým počtom nedostatkov je príčinou toho, že sme si v návrhu zamenili rezistor s iným substrátom (*nsub* či *psub*) ako bol potrebný. Odstránenie chyby sa vykoná zamenením substrátu, čiže ak máme použitý rezistor *rpoly2_nsub*, zameníme ho za *rpoly2_psub*. A chyba by mala byť odstránená po ďalšom spustení *Run DRC*.



Obr. 81 Chyba pri zámena substrátov

✘ Check SPAC_BNTUB_S1WBWB

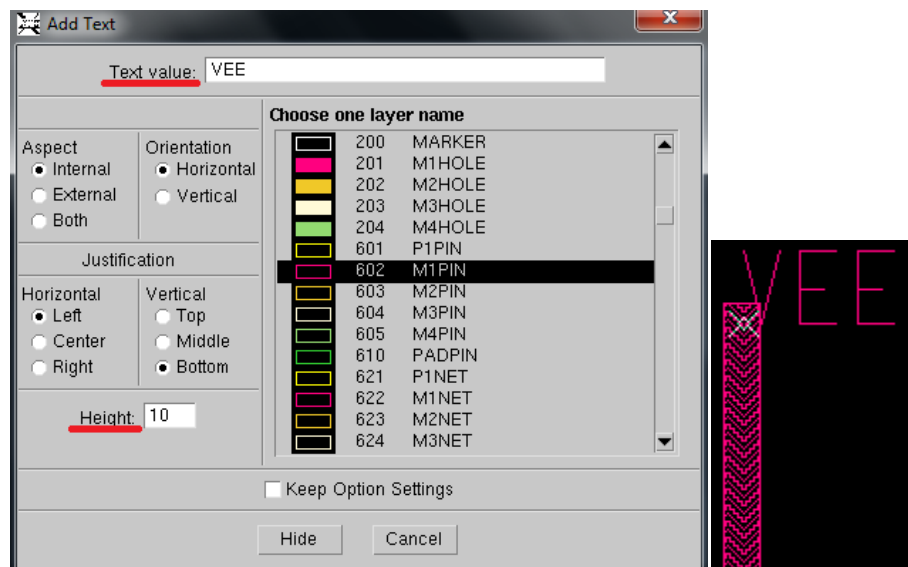
Nedostatočná medzera medzi rozmiestnením prvkov (*Minimum BNTUB spacing = 4.0*). Môže sa tiež vyskytnúť podobná chyba, ale týkajúca sa nedostatočným priestorom medzi rovnakými vodivými cestami. Je potrebné jeden z tranzistorov posunúť minimálne na úroveň vyznačenej čiary tak, ako je zobrazené na obr. 82.



Obr. 82 Nedostatočný priestor medzi prvkami

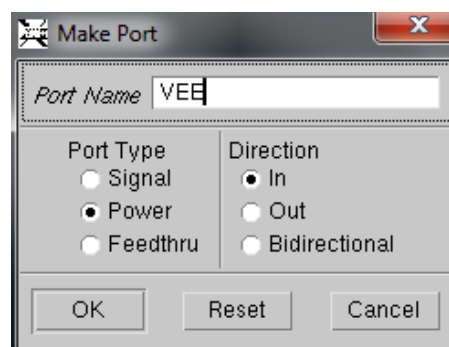
Vytvorenie portov

Označíme vodivú cestu, ktorá by mala slúžiť ako vstupný alebo výstupný port. Každý port si pomenujeme, tak že pravým klikom klikneme na označenú vodivú vrstvu a vyberieme *Add* → *Text*. V okne zadáme *Text value* (požadovaný názov portu), typ vodivej vrstvy ak je to *MET1*, tak zvolíme *M1PIN*. Pre lepšiu viditeľnosť dáme veľkosť v položke *Height* 10. Určuje veľkosť názvu daného portu. Ak sme nastavili hodnoty ako na obr. X následne klikneme na vodivú cestu, ktorá má byť portom. Snažíme sa, aby marker portu bol vložený do stredu vodivej cesty, tak ako na obr.83.



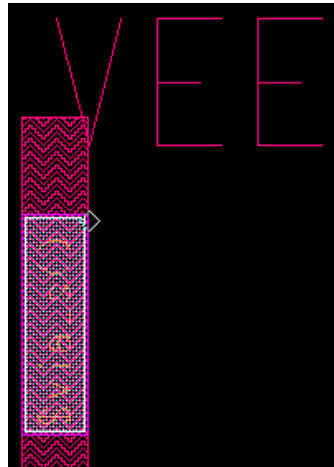
Obr. 83 Vytváranie portov

Po označení tej istej vodivej cesty, pravým kliknutím vyberieme *Add* → *Make* → *Port*. Definujeme vlastnosti portu: konkretizujeme typ portu (*Port Type*) a v akom smere bude pracovať (*Direction*). Pre *VEE* a *GND* volíme typ *Power* a smer *In*. Pre vstupné porty (*Direction In*) LO a IF je typ *Signal*. Pre výstupné porty (*Out*) sú v smere *Out*. Ukážka menu nastavenia portov je zobrazená na obr. 84.



Obr. 84 Menu pri vytváraní portov

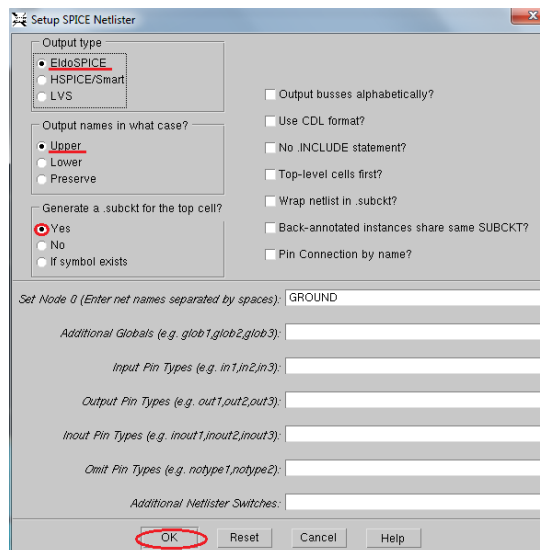
Pre korekciu zapojenia všetkých substrátov tranzistorov je potrebné pripojiť k zdroju *VEE* vrstvu *pdm1*, ktorú nájdeme v *Easy edit* → *Via* → *Shape via* → *pdm1*. Celý návrh je zobrazený na obr. 85.



Obr. 85 Medzivrstva *pdm1* na vodivej vrstve portu *VEE*

Overenie Run LVS

Táto funkcia nám porovná nakreslený obvod v simulačnom prostredí spolu s návrhom rozmiestnenia prvkov na čipe. Skôr než začneme, je nutné otvoriť si nakreslený obvod v simulačnom prostredí a odstrániť z neho všetky použité zdroje. Potom si ho odsimulujeme a v pravej lište klikneme na *Session* → *Netlister*. Vyskočí nám okno zvané *Setup SPICE Netlister* a nastavíme parametre tak, ako je to ilustrované na obr.86.



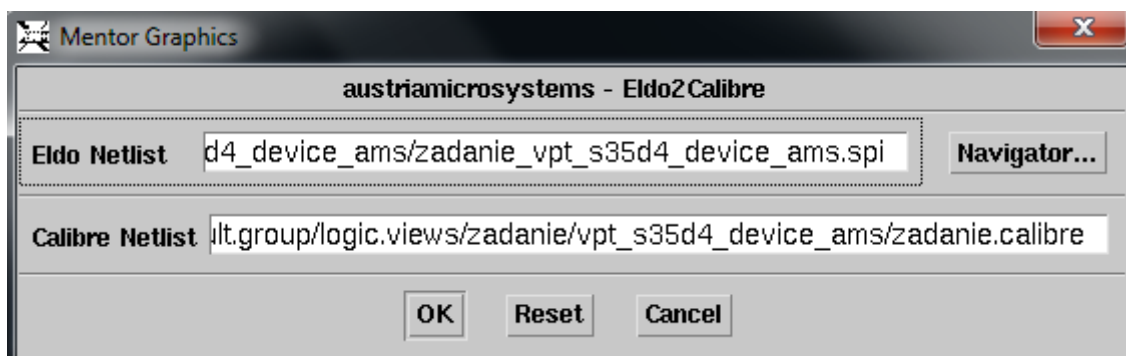
Obr. 86 Setup SPICE Netlister

Po tomto kroku sa ešte stále nachádzame v simulačnom prostredí nakresleného obvodu. Vyberieme z hornej lišty *HIT-Kit Utilities* → *Eldo 2 Calibre*. Zobrazí sa nám okno (obr.87), v ktorom zadáme cestu *Eldo Netlistu*. V mojom prípade je cesta definovaná takto:

\$BP/default.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie_vpt_s35d4_device_ams.spi

Cesta *Calibre Netlist* :

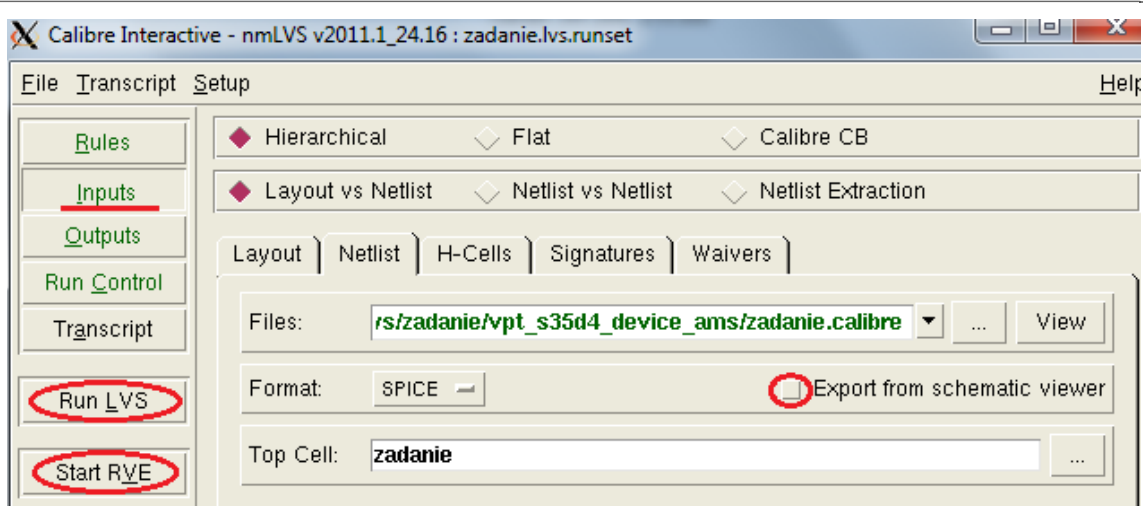
\$BP/default.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie.calibre



Obr. 87 Eldo 2 Calibre

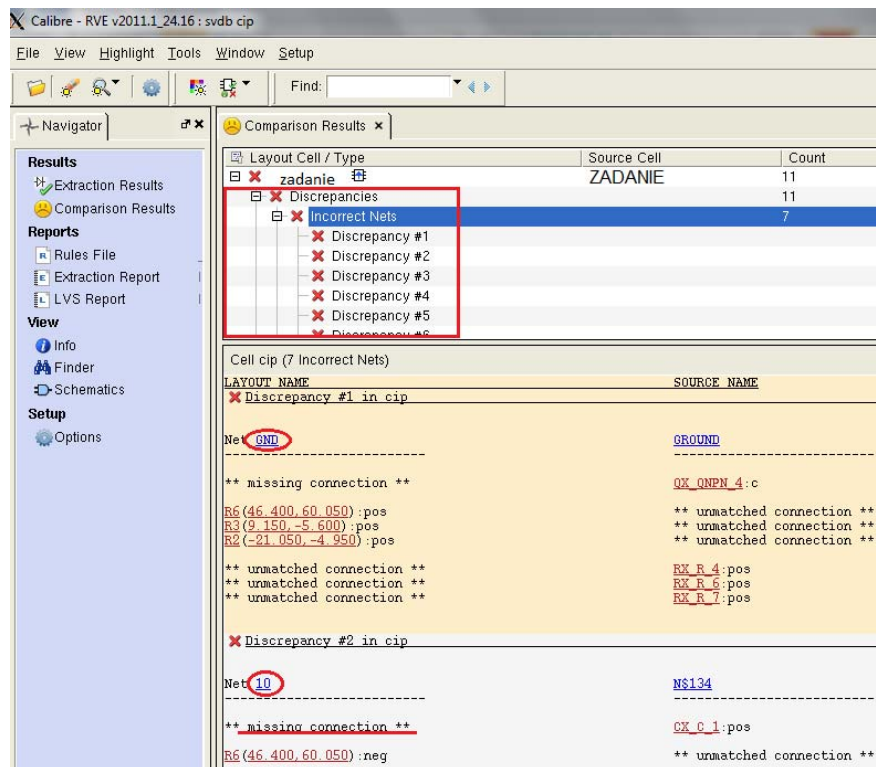
Po zadaní ciest sa vrátíme späť do prostredia *Layout*. Klikneme na vopred spomínanú funkciu *Run LVS (Layout VS Schematic)*, ktorú nájdeme v hornej lište *Calibre* → *Run LVS*. Po označení nám vyskočí okno zvané *Calibre Interactive*. V ňom je potrebné zadať cestu pre *Inputs* v sekcii *Netlist*. Cesta by mala vyzerat' takto:
/home/jakub2/ams_circuits.proj/BP.lib/default.group/logic.views/zadanie/vpt_s35d4_device_ams/zadanie.calibre

Dôležitou súčasťou je odškrtnúť políčko *Export from schematic viewer* (obr. 88). Spustíme *Run LVS*. Pokiaľ nám v liste poukazuje na chybu, odporúčam využiť aj *Start RVE*, ktorý priamo poukáže na chybu. V *Layout Cell / Type* je možné vidieť nedostatky. Po kliknutí sa nám v *Layout-e* zvýraznia chyby, ktoré nie sú súhlasné s porovnaním nakresleného obvodu. Taktiež si treba skontrolovať počet prvkov (*Ports, Nets, Instances*) nakresleného obvodu a navrhnutého *Layout-u* pred a po transformácií. Názorný príklad v menu *RVE* pri znázornení nedostatkov je na obr.88. Závažné chyby boli odstránené pomocou *Run DRC*.



Obr. 88 Calibre Interactive - nmLVS

Snažíme sa o dosiahnutie výsledku z Run LVS, ktorá je znázornená na obr.89.



Obr. 89 Calibre RVE

Po odstránení všetkých nedostatkov, sa objaví v *Run LVS* správa o úspešnej kalibrácii ako je to na obr.90.


```

X LVS Report File - lvs.report
File Edit Options Windows

LVS Netlist Compiler - Errors and Warnings for "/home/jakub2/ams_circuits.proj/BP.lib/
Warning: Can't understand statement ".CONNECT" at line 4 in file "/home/jakub2/ams_cir

#####
##
##      C A L I B R E   S Y S T E M      ##
##
##      L V S   R E P O R T              ##
##
#####

REPORT FILE NAME:      lvs.report
LAYOUT NAME:          /home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.v
SOURCE NAME:          /home/jakub2/ams_circuits.proj/BP.lib/default.group/logic.vi
RULE FILE:            /home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.v
RULE FILE TITLE:      DRC/LVS 0.35 U SIGE s35d4/s35d3 polycide 3W/5V (last modific
CREATION TIME:        Wed May 23 19:02:34 2012
CURRENT DIRECTORY:    /home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.v
USER NAME:            jakub2
CALIBRE VERSION:      v2011.1_24.16   Tue Mar 8 14:38:02 PST 2011

OVERALL COMPARISON RESULTS

#####
#
# CORRECT #
#
#####

Warning: Ambiguity points were found and resolved arbitrarily.

*****
CELL SUMMARY
*****

```

Obr. 90 LVS Report File

Run PEX

Služi na odstránenie parazitných extraktov. Nachádza sa v hornej lište *Calibre* → *Run PEX*. Po odkliknutí vybehne okno zvané *Calibre Interactive – Pex*. Dôležitou súčasťou je nastaviť *Inputs* v sekcii *Netlist*. Formát ponechávame SPICE a odškrtneme *Export from schematic viewer* ako na obr.91. Cestu zadávame rovnakú ako pri *Run DRC* či *Run LVS*. V mojom prípade je to takto:

```

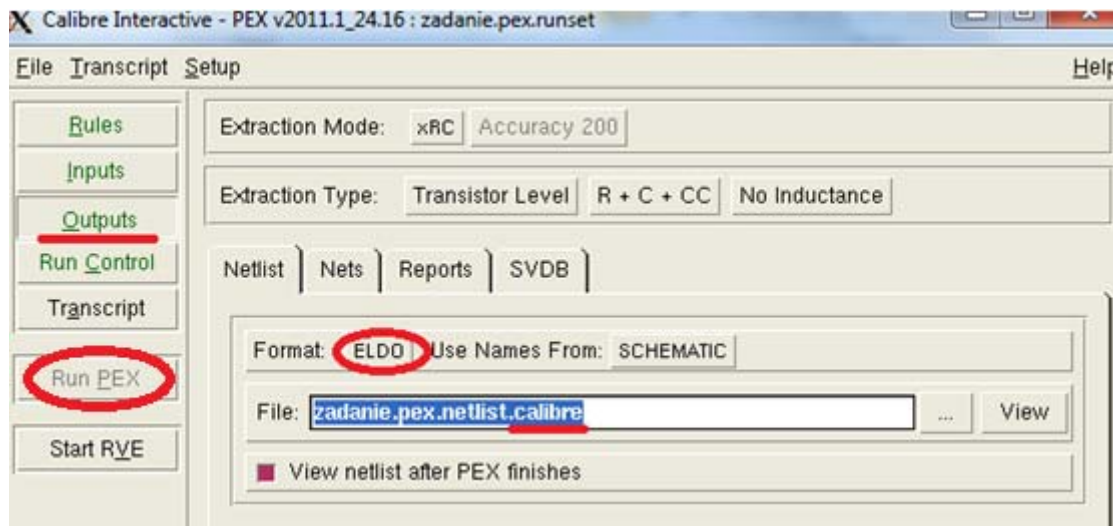
/home/jakub2/ams_circuits.proj/BP.lib/default.group/logic.views/zadanie/vpt_s3
5d4_device_ams/zadanie.calibre

```



Obr. 91 Inputs Calibre Interactive - PEX

Následne nastavíme *Outputs*, kde formát zvolíme typu *ELDO* a v položke *File* dopíšeme za text *.calibre*, výsledok nastavenia je vidieť na obr. 92. Potom spustíme *Run PEX*.



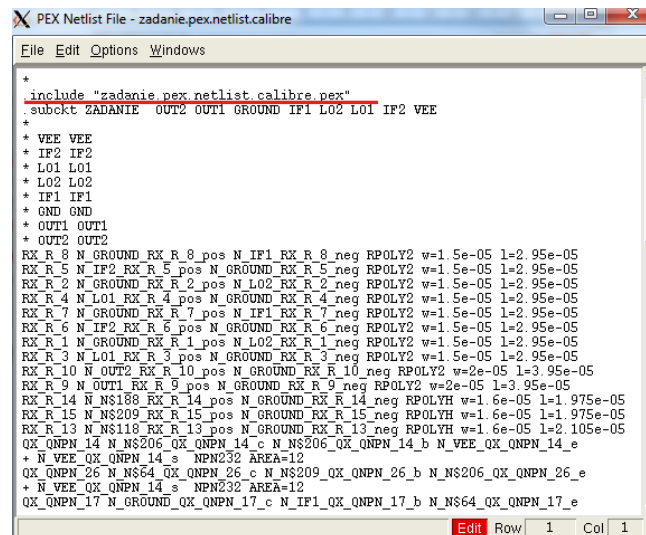
Obr. 92 Spúšťanie Calibre Interactive - PEX

Po spustení *Run PEX* sa nám vygeneruje *PEX Netlist File*, ktorého problém je, že zahŕňa dve súbory, ktorých adresa nie je kompletná. Sú to tieto súbory:

```
.include "zadanie.pex.netlist.calibre.pex"
```

```
.include "zadanie.pex.netlist.calibre.ZADANIE.pxi"
```

Na to, aby sme ich mohli použiť v *ELDO* je potrebné využiť skript *Calibre 2 ELDO*. Jeden zo súborov je znázornený na obr. 93, pričom druhý sa nachádza na konci zoznamu tohto *Netlistu*. V ďalších krokoch si ich adresu doplníme.



```

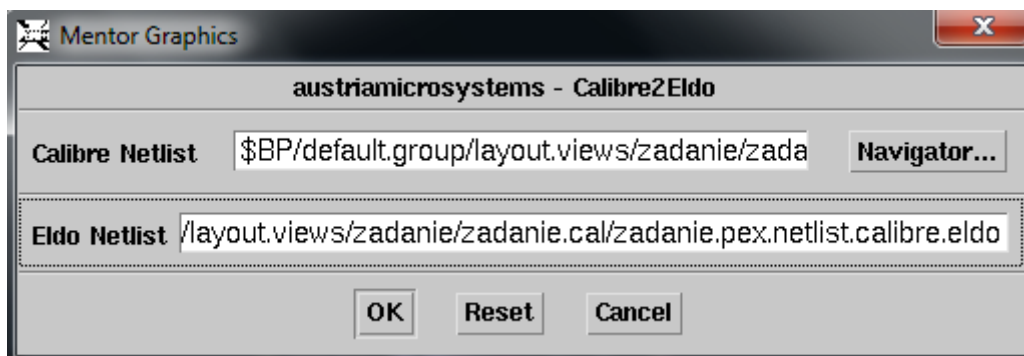
PEX Netlist File - zadanie.pex.netlist.calibre
File Edit Options Windows
*
* include "zadanie.pex.netlist.calibre.pex"
* subckt ZADANIE OUT2 OUT1 GROUND IP1 L02 L01 IP2 VEE
*
* VEE VEE
* IP2 IP2
* L01 L01
* L02 L02
* IP1 IP1
* GND GND
* OUT1 OUT1
* OUT2 OUT2
RX_R_8 N GROUND RX_R_8_pos N IP1 RX_R_8_neg RPOLY2 w=1.5e-05 l=2.95e-05
RX_R_5 N IP2 RX_R_5_pos N GROUND RX_R_5_neg RPOLY2 w=1.5e-05 l=2.95e-05
RX_R_2 N GROUND RX_R_2_pos N L02 RX_R_2_neg RPOLY2 w=1.5e-05 l=2.95e-05
RX_R_4 N L01 RX_R_4_pos N GROUND RX_R_4_neg RPOLY2 w=1.5e-05 l=2.95e-05
RX_R_7 N GROUND RX_R_7_pos N IP1 RX_R_7_neg RPOLY2 w=1.5e-05 l=2.95e-05
RX_R_6 N IP2 RX_R_6_pos N GROUND RX_R_6_neg RPOLY2 w=1.5e-05 l=2.95e-05
RX_R_1 N GROUND RX_R_1_pos N L02 RX_R_1_neg RPOLY2 w=1.5e-05 l=2.95e-05
RX_R_3 N L01 RX_R_3_pos N GROUND RX_R_3_neg RPOLY2 w=1.5e-05 l=2.95e-05
RX_R_10 N OUT2 RX_R_10_pos N GROUND RX_R_10_neg RPOLY2 w=2e-05 l=3.95e-05
RX_R_9 N OUT1 RX_R_9_pos N GROUND RX_R_9_neg RPOLY2 w=2e-05 l=3.95e-05
RX_R_14 N NS188 RX_R_14_pos N GROUND RX_R_14_neg RPOLYH w=1.6e-05 l=1.975e-05
RX_R_15 N NS209 RX_R_15_pos N GROUND RX_R_15_neg RPOLYH w=1.6e-05 l=1.975e-05
RX_R_13 N NS119 RX_R_13_pos N GROUND RX_R_13_neg RPOLYH w=1.6e-05 l=2.105e-05
QX_QNPN_14 N NS206 QX_QNPN_14_c N NS206_QX_QNPN_14_b N_VEE_QX_QNPN_14_e
+ N_VEE_QX_QNPN_14_s NPN232 AREA=12
QX_QNPN_26 N NS64 QX_QNPN_26_c N NS209_QX_QNPN_26_b N NS206_QX_QNPN_26_e
+ N_VEE_QX_QNPN_14_s NPN232 AREA=12
QX_QNPN_17 N GROUND_QX_QNPN_17_c N_IP1_QX_QNPN_17_b N_NS64_QX_QNPN_17_e

```

Obr. 93 PEX Netlist File

Calibre 2 Eldo

Prejdeme do prostredia Layout, kde v hornej lište zvolíme *HIT-Kit Utilities* → *Calibre 2 Eldo*. Po vyskočení okna (obr.94) zadávame cestu nami vygenerovaného netlistu, do ktorého sme za text dopisovali *.calibre*. Cesta Calibre Netlist je nasledovná: *\$BP/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibre*. Cesta pre *Eldo Netlist* je presne tá istá s tým rozdielom, že je dopísané nakonci *.eldo* čiže: *\$BP/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibre.eldo*



Obr. 94 Calibre 2 ELDO

Príkazy v putty

Prostredníctvom programu *putty*, cez ktorý sa prihlasujeme na server a aj do týchto simulačných prostredí, zistíme a dopíšeme cestu dvom spomínaným súborom z *PEX Netlist File*-u. Dosiahneme to cez nasledujúce príkazy:

```
/ams_circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal;
```

ls – umožní vidieť všetky súbory nachádzajúce sa v priečinku;

pwd – vypíše presnú adresu, ktorú budeme neskôr kopírovať do Netlistu;

Následne získame kompletnú adresu, ktorá je:

/home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.views/zadanie
/zadanie.cal/, a tú skopírujeme do *Netlistu*, ktorý vygenerujeme pomocou príkazu
gedit zadanie.pex.netlist.calibre.eldo

Názorná ukážka z putty prostredia je na obr.95.

```

jakub2@analog 22:11:33:~$ cd ams_circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal/
jakub2@analog 22:14:10:~/ams_circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal$ ls
calibre.lvs.4c0a5dd9ecb5e  ratio_met1_die.txt      ratio_poly1_cont.txt  swdb          zadanie.lvs.report      zadanie.pex.netlist.calibre.ZADANIE.pxi
calibre.lvs.4c0a5e0c396b4  ratio_met2_die.txt      ratio_poly1_die.txt   zadanie.calibre.db  zadanie.lvs.report.ext  zadanie.pex.netlist.calibre
lay.net                  ratio_met1_die.txt      ratio_poly2_cont.txt  zadanie.calibre.gds  zadanie.pex.netlist.calibre
lvs.report              ratio_met1_die.txt      ratio_poly2_cont.txt  zadanie.drc.results  zadanie.pex.netlist.calibre.eldo
lvs.report.ext          ratio_metcap_die.txt    a35d4m5.rules        zadanie.drc.summary  zadanie.pex.netlist.calibre.pex
jakub2@analog 22:14:18:~/ams_circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal$ pwd
/home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal
jakub2@analog 22:14:31:~/ams_circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal$ gedit zadanie.pex.netlist.calibre.eldo

```

Obr. 95 Putty

Do vygenerovaného *Netlistu* skopírujeme adresu a nezabudneme ju doplniť pre obe súbory. Taktiež nezabudneme doplniť „/“ (obr. 96).

```

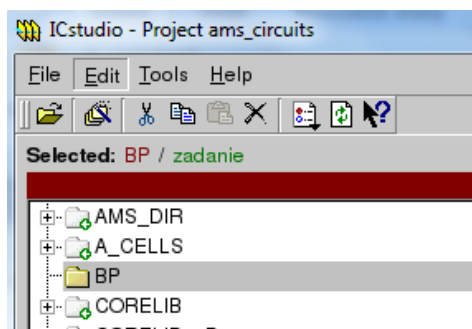
* File: zadanie.pex.netlist.calibre
* Created: Wed May 23 22:12:52 2012
* Program "Calibre xRC"
* Version "v2011.1_24.16"
*
include "/home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibre.pex"
.subckt ZADANIE OUT2 OUT1 GROUND IF1 L02 L01 IF2 VEE
*
* VEE VEE
* IF2 IF2
* L01 L01
* L02 L02
* IF1 IF1
* GND GND
* OUT1 OUT1
* OUT2 OUT2
XR_X_R_8 N_GROUND_RX_R_8_pos N_IF1_RX_R_8_neg RPOLY2 w=1.5e-05 l=2.95e-05
XR_X_R_5 N_IF2_RX_R_5_pos N_GROUND_RX_R_5_neg RPOLY2 w=1.5e-05 l=2.95e-05
XR_X_R_2 N_GROUND_RX_R_2_pos N_L02_RX_R_2_neg RPOLY2 w=1.5e-05 l=2.95e-05
XR_X_R_4 N_L01_RX_R_4_pos N_GROUND_RX_R_4_neg RPOLY2 w=1.5e-05 l=2.95e-05
XR_X_R_7 N_GROUND_RX_R_7_pos N_IF1_RX_R_7_neg RPOLY2 w=1.5e-05 l=2.95e-05
XR_X_R_6 N_IF2_RX_R_6_pos N_GROUND_RX_R_6_neg RPOLY2 w=1.5e-05 l=2.95e-05
XR_X_R_1 N_GROUND_RX_R_1_pos N_L02_RX_R_1_neg RPOLY2 w=1.5e-05 l=2.95e-05
XR_X_R_3 N_L01_RX_R_3_pos N_GROUND_RX_R_3_neg RPOLY2 w=1.5e-05 l=2.95e-05
XR_X_R_10 N_OUT2_RX_R_10_pos N_GROUND_RX_R_10_neg RPOLY2 w=2e-05 l=3.95e-05
XR_X_R_9 N_OUT1_RX_R_9_pos N_GROUND_RX_R_9_neg RPOLY2 w=2e-05 l=3.95e-05
XR_X_R_14 N_N4188_RX_R_14_pos N_GROUND_RX_R_14_neg RPOLYH w=1.6e-05 l=1.975e-05
XR_X_R_15 N_N4209_RX_R_15_pos N_GROUND_RX_R_15_neg RPOLYH w=1.6e-05 l=1.975e-05
XR_X_R_13 N_N4118_RX_R_13_pos N_GROUND_RX_R_13_neg RPOLYH w=1.6e-05 l=2.105e-05

```

Obr. 96 Netlist

Import vytvoreného prvku

Teraz prichádza najľahšia časť, vytvorenie knižnice pre náš prvok. Musíme ho najprv importovať a to nasledujúcim spôsobom. V ICstudiu (obr.97) klikneme na *File* → *Import* → *Spice*.

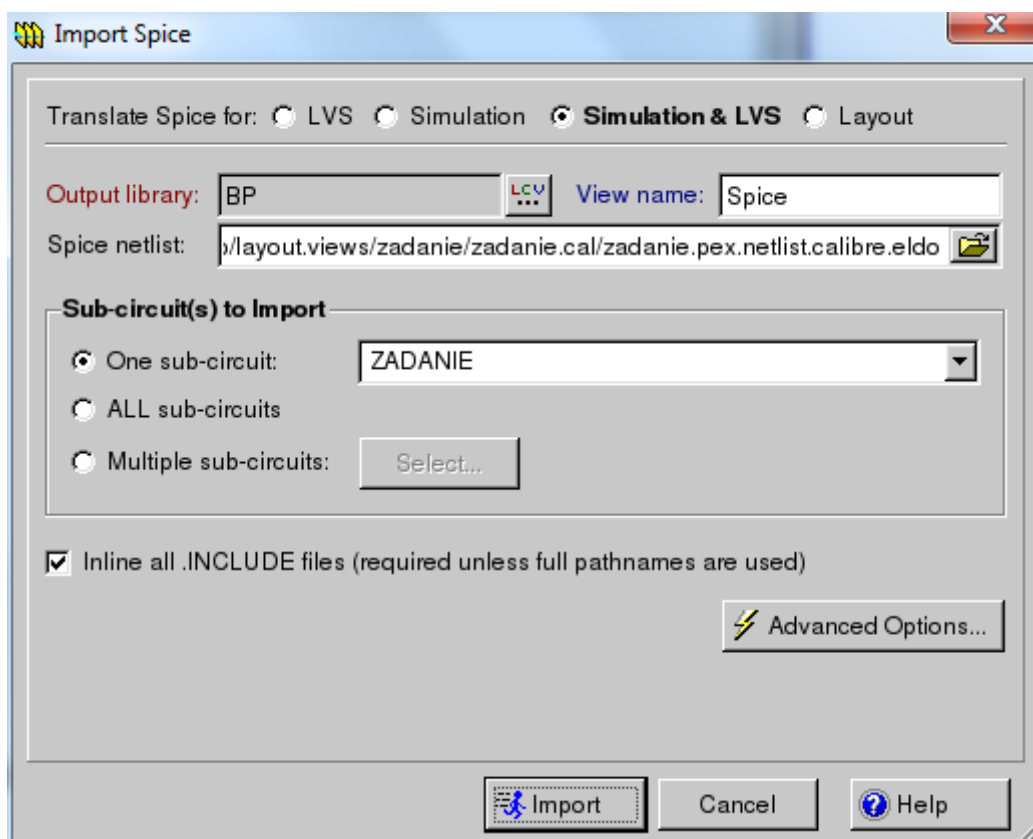


Obr. 97 ICStudio


Po vyskočení okna *Import Spice* zvolíme cestu kde sa náš *ELDO* súbor nachádza. Na obr.98 je to cesta:

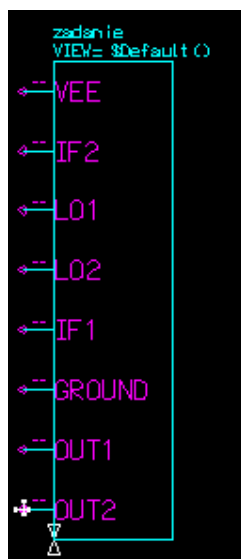
```
/home/jakub2/ams_circuits.proj/BP.lib/default.group/layout.views/zadanie/zadanie.cal/zadanie.pex.netlist.calibre.eldo
```

V položke *One sub-circuit* vyberieme názov našej bunky, u mňa je to názov *ZADANIE*. Potvrdíme tlačidlo *Import*, a ak vybehne ďalšie okno, tak označíme *Creat Symbol*.

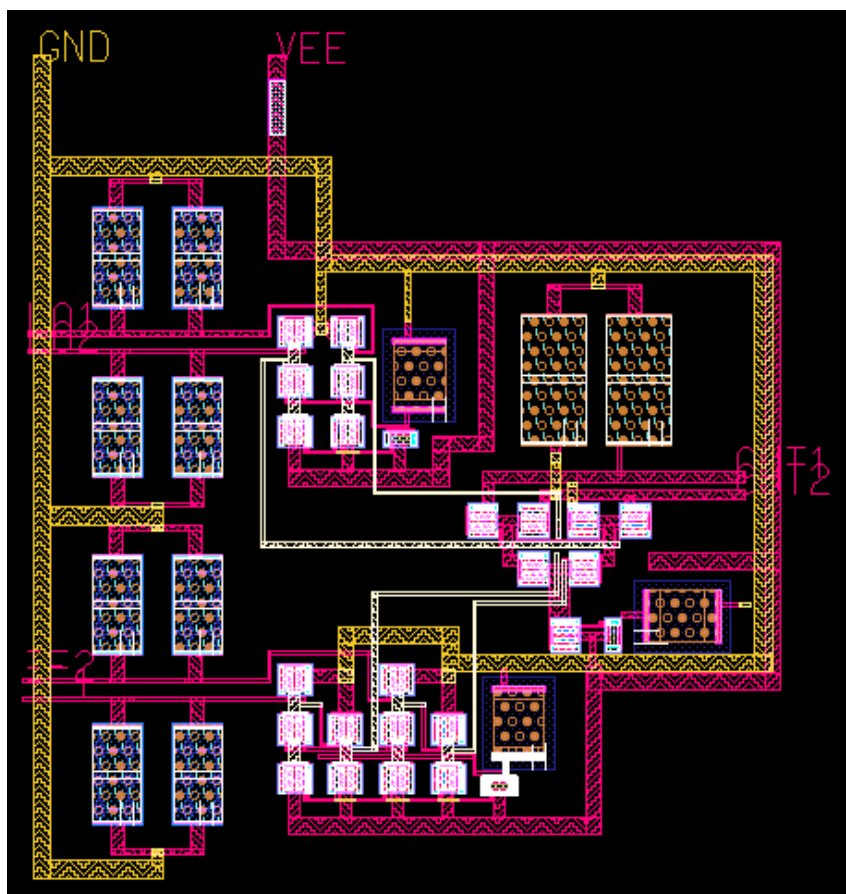


Obr. 98 Import Spice

V *Library View* one sa nám vytvoria ikonky. Pomocou tejto ikonky  Symbol sa nám spustí simulačné prostredie, v ktorom máme úspešne zrealizovaný náš prvok zmiešavača (obr.99), pre porovnanie na obr.100 je ten istý prvok v prostredí *Layout*. Postsimulácie prebiehajú presne tak, ako v simulačnom prostredí.



Obr. 99 Zmiešavač po úspešnej transformácii



Obr. 100 Návrh zmiešavača v prostredí Layout