

Elektronické systémy na báze obvodov FPGA

2004/2005

Pavol Galajda, KEMT, FEI, TUKE

Pavol.Galajda@tuke.sk

1 Úvod do ASIC- teoretický základ

- 1.1 Základné pojmy
- 1.2 Historický vývoj a rozdelenie IO
- 1.3 Typy PLD obvodov
 - SPLD
 - CPLD
 - FPGA
- 1.4 Ekonomické aspekty
 - Porovnanie ASIC technológií
- 1.5 ASIC verzus FPGA – migrácia, prechod ku ASIC

1.1 Základné pojmy

- *Návrhár v súčasnom období použije na vývoj číslicového systému také technológie, postupy, prostriedky a nástroje ktoré mu umožnia dosiahnuť v konečnej implementácii*
 - *lepšiu výkonnosť,*
 - *menšie rozmery,*
 - *nižšiu energetickú spotrebu a*
 - *vyššiu spoľahlivosť.*
- *Významným kritériom sa stáva aj čas, ktorý uplynie od začiatku návrhu do samotného uvedenia navrhovaného číslicového systému na trh.*
- *Tieto pojmy sa stali základnými požiadavkami triedy číslicových systémov označovaných **ASIC- Application Specific Integrated Circuits** (zákaznícke integrované obvody).*

1.1 Základné pojmy

- *Tento trend vedie návrhárov syst. ku odklonu od štandardných logických prvkov SSI a MSI (napr. bipolárna rada 74 a rada CMOS 4000) smerom ku rastúcej triede integrovaným obvodov ASIC*
- *Dôvody použitia obvodov ASIC sa dá zhrnúť do nasledujúcich bodov:*
 - ***Menšie rozmery systému-** zákaznícke obvody znižujú počet IO, čím šetria priestor na DPS a teda znižujú fyzické rozmery.*
 - ***Nižšia cena systému-** použitie zákazníckych obvodov VLSI značne zníži cenu prvkov na systém, náklady na osadzovanie a výrobu, náklady na návrh a výrobu DPS, náklady spojené s obstaraním, skladovaním a testovaním IO.*
 - ***Vyšší výkon-** menší počet IO vedie k vyšším rýchlostiam systému a k nižšiemu príkonu.*
 - ***Vyššia spoľahlivosť-** pravdepodobnosť poruchy je priamo úmerná od počtu IO v systéme- je štatisticky spoľahlivejšia.*
 - ***Bezpečnosť návrhu-** systémy navrhnuté pomocou zákazníckych obvodov je možné relatívne ťažko kopírovať.*
 - ***Väčšia flexibilita-** ľahká zmena vlastností systému podľa požiadaviek zákazníka bez nutnosti zmeny DPS.*

1.1 Základné pojmy

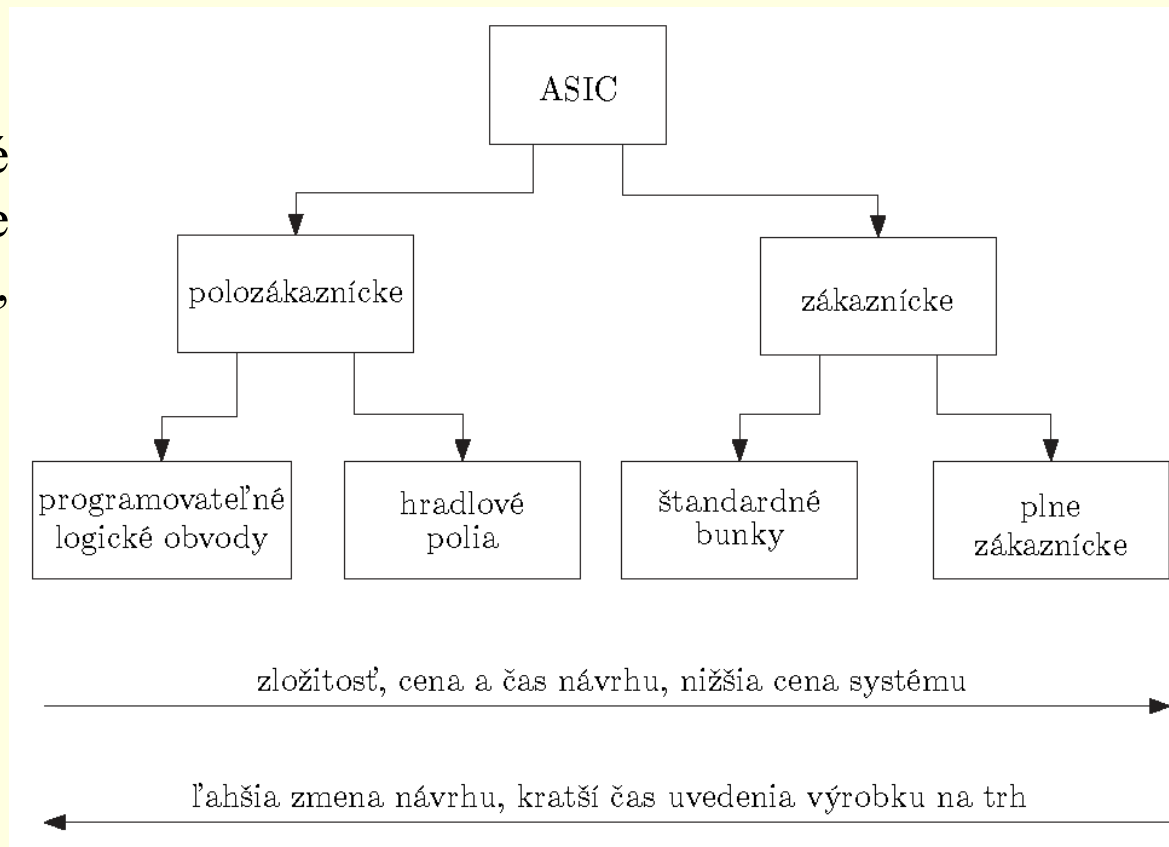
Alternatívy obvodov ASIC

- **Polozákaznícke**- pri týchto metódach sa požiadavkám zákazníka prispôsobuje iba málo masiek.
- **Zákaznícke**- tieto metódy vyžadujú prispôsobenie všetkých masiek potrebných pri výrobe IO.

Programovateľné logické obvody tvoria pomerne rozvetvenú rodinu obvodov, ktoré sa vzájomne líšia:

technológiou výroby a

svojou vnútornou štruktúrou.



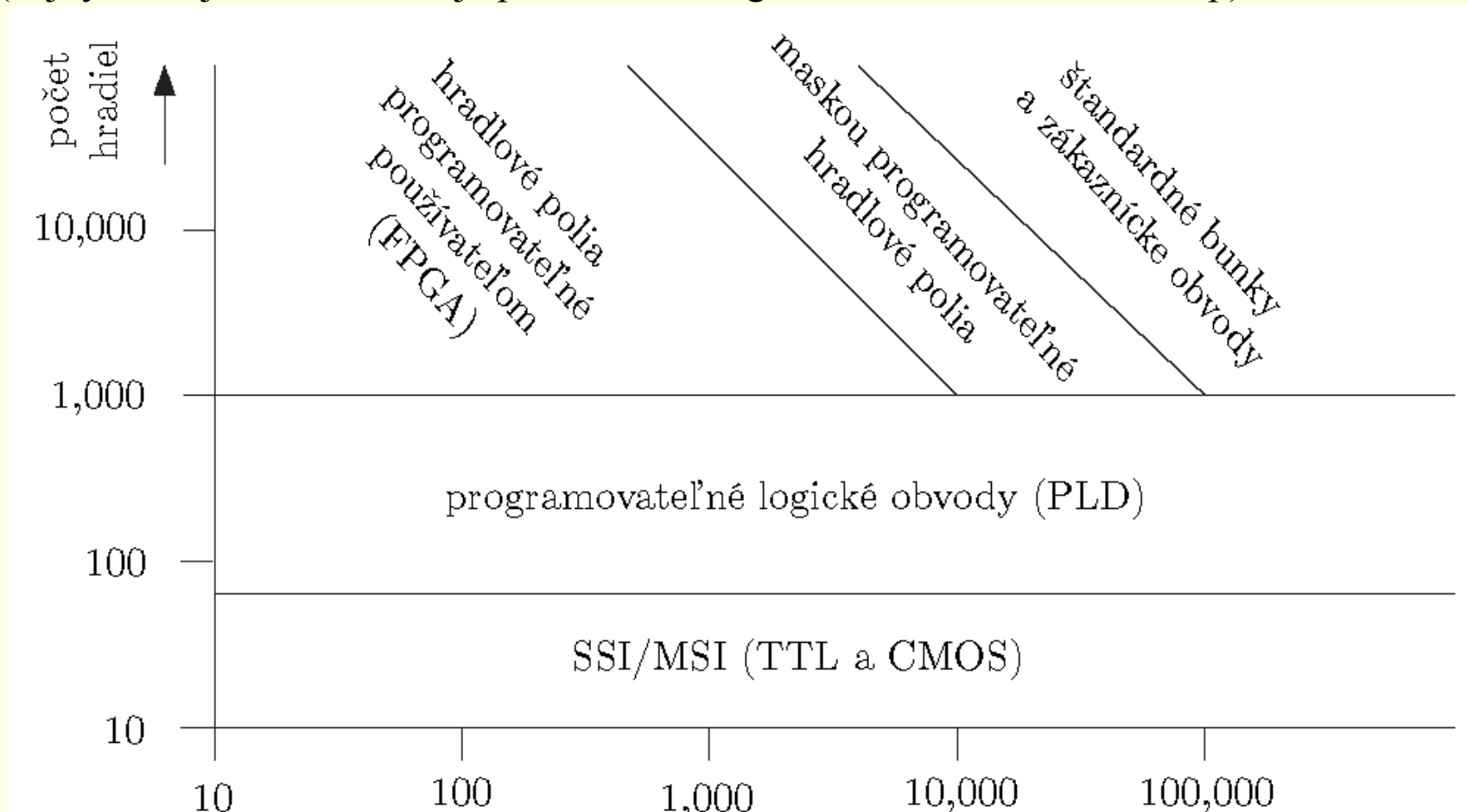
1.1 Základné pojmy

Alternatívy obvodov ASIC

- **Programovateľné logické obvody (PLD):** Sú monolitické IO s logickými bunkami, ktoré môžu byť programované a v niektorých prípadoch i reprogramované užívateľom. Programovanie obvodu sa uskutočňuje vytváraním, alebo prerušovaním programovateľných prepojení, alebo zápisom do pamäťových buniek.
- **Hradlové polia (GA):** Sú monolitické IO, v ktorých sú tranzistory umiestnené v riadkoch alebo stĺpcoch. Programovanie sa uskutočňuje pomocou jednej, dvoch, alebo až troch masiek v procese výroby. Väčšia časť masiek je spoločná pre viacerých zákazníkov, preto môžu byť čipy až do určitej úrovne technologicky vyrábané v predstihu.
- **Štandardné bunky:** Sú monolitické IO, ktoré sú navrhované prostredníctvom existujúcej knižnice buniek, ktorá obsahuje vopred definované obvodové štruktúry. Obvod je programovaný v procese výroby prostredníctvom všetkých masiek.
- **Plne zákaznicke obvody:** Sú tiež monolitické IO, charakteristické tým, že sú plne navrhnuté užívateľom. Obvod sa predáva jedinému zákazníkovi.

1.1 Základné pojmy

Obvody ASIC sú najlepším riešením pre väčšinu log. funkcií. Rozhodnutie, ktorá alternatíva je na trhu ASIC najvýhodnejšia, závisí od požadovanej hustoty integrácie a tiež od sériovosti zariadenia v ktorom použijeme obvod ASIC. Použitie **PLD- Programmable Logic Device** (programovateľných logických obvodov) nie je obmedzené počtom kusov (najvýhodnejšia alternatíva je pri hustote integrácie do 1000 hradíel na čip).



1.1 Základné pojmy

Používané skratky:

- *ASIC- Application Specific Integrated Circuits* (zákaznícke integrované obvody)
- *PLD- Programmable Logic Device* (programovateľné logické obvody)
- *GAL- Generic Logic Array* (programovateľný log. obvod s flexibilnou vnútornou štruktúrou- môže nahradiť niekoľko rôznych obvodov typu PAL)
- *PAL- Programmable Array Logic* (obvod pozostávajúci z programovateľného poľa AND pevne pripojené k OR)
- *PLA- Programmable Logic Array* (obvod pozostávajúci z program. poľa AND výstupy ktorého sú programovateľne pripojené k poľu OR)
- *FPLA- Field Programmable Logic Array* (obvod pozostávajúci z program. poľa AND i OR hradiel)
- *EPLD- Erasable Programmable Logic Device* (programovateľný log. obvod mazateľný ultrafialovým svetlom)
- *EEPLD- Electrically Erasable Programmable Logic Device* (elektrický mazateľný programovateľný log. obvod)

1.2 Historický vývoj a rozdelenie IO

- *História PLD sa datuje od roku 1975- keď bol na trh uvedený obvod typu FPLA.*
- *V tom čase už boli na trhu dostupné obvody typu PROM- ich uplatnenie pri návrhu číslicových systémov bolo mizivé (napr. dekodér). Dostupné boli tiež maskou programovateľné obvody PLA- líniu vývoja môžeme naznačiť:*
 - obvody PROM =>maskou program. PLA=>obvody FPLA=>obvodu PAL*
- *Typické boli obvody PAL- dovoľovali realizovať do desať log. funkcií v jednom puzdre. Technologicky vychádzali z bipolárnych pamätí ROM (raz programovateľné a pomerne rýchle). Používala sa pre nich skratka **PLD**.*
- *V roku 1984 do týchto obvodov preniká techn. EPROM- založená na techn. CMOS, mazateľná UV žiarením. Znížený príkon a väčšia hustota umožnila konštrukciu zložitejších obvodov **CPLD** (Complex Programmable Logic Devices)- ide o niekoľko PLD doplnených programovateľným prepojením- Prvý obvod uviedla ALTERA v roku 1985.*
- *Súčasne bola prevzatá techn. EECMOS uplatňujúca sa najprv v malých obvodoch PLD- **SPLD** (Lattice ich označuje ako GAL).*
- *V roku 1984 firma Xilinx prišla s programovateľnými hradlovými poľiami FPGA (programovanie bolo realizované spínačmi CMOS riadené údajmi v SRAM)*

1.2 Historický vývoj a rozdelenie IO

- *V roku 1988 firma Actel a QuickLogic vyvinula alternatívu k spínačom CMOS tzv. antipoistky- **Anti-fuse** (návrat k jednorázovému programovaniu, antipoistka mala výrazne lepšie elektrické vlastnosti ako CMOS).*
- *Koncom 80-tých rokov firma Xilinx upravila programovateľnú logiku tak, aby jej ovládaciu pamäť bolo možné alternatívne využiť pre dáta- to bol začiatok prenikania pamätí do obvodov FPGA.*
- *Súčasný vývoj je charakterizovaný*
 - *prudkým nárastom kapacity (stovky tisíc až milióny hradiel)*
 - *vonkajšími charakteristikami obvodu (rozkmit signálov, zaťažiteľnosť) schopnými priamo spolupracovať so zbernicou PCI, pamäťovými modulmi*
 - *rôzne napájacie napätia*
- *Pôvodne výrazne odlišné kategórie obvodov FPGA a CPLD sa približujú.*

	Typ ASIC obvodu					
	Programovatelné součástky			Obvody programované maskami při výrobě		
	CPLD	FPGA	analogová pole	hradlová pole	kombinovaná pole	standardní buňky a plně zákaznické obvody
digitální zapojení	ano	ano	ne	ano	ano	ano
analogové zapojení	ne	ne	ano	ne	ano	ano
maximální velikost	tisíce hradel	miliony hradel	20 funkčních bloků	statisíce hradel	100 000 hradel + analogové a pasivní prvky	statisíce hradel
statická spotřeba	<100 μ A	od 3mA	30mA	1 až 50nA na 1 hradlo	1 až 50nA na 1 hradlo	1 až 50nA na 1 hradlo
napájení	1,8; 2,5; 3,3 nebo 5V	od 1,3V do 5V	5V	1,8 až 5V	0,9 až 3,6V	závislé na technologii a návrhu
paměť na čipu	ne	některé typy ano	ne	ano (ROM i RAM)	ne	ano (ROM i RAM)
reprogramovatelnost	ano	ano	ano	ne	ne	ne
ekonomicky vhodná výrobní série (1)	1 ks a více	1 ks a více	1 ks a více	10k až 100k ks	50k ks a více	100k ks a více
typická doba vývoje obvodu (2)	2 až 12 týdnů	2 až 6 týdnů	2 až 12 týdnů	3 až 6 měsíců	2 až 3 měsíce	4 až 12 měsíců

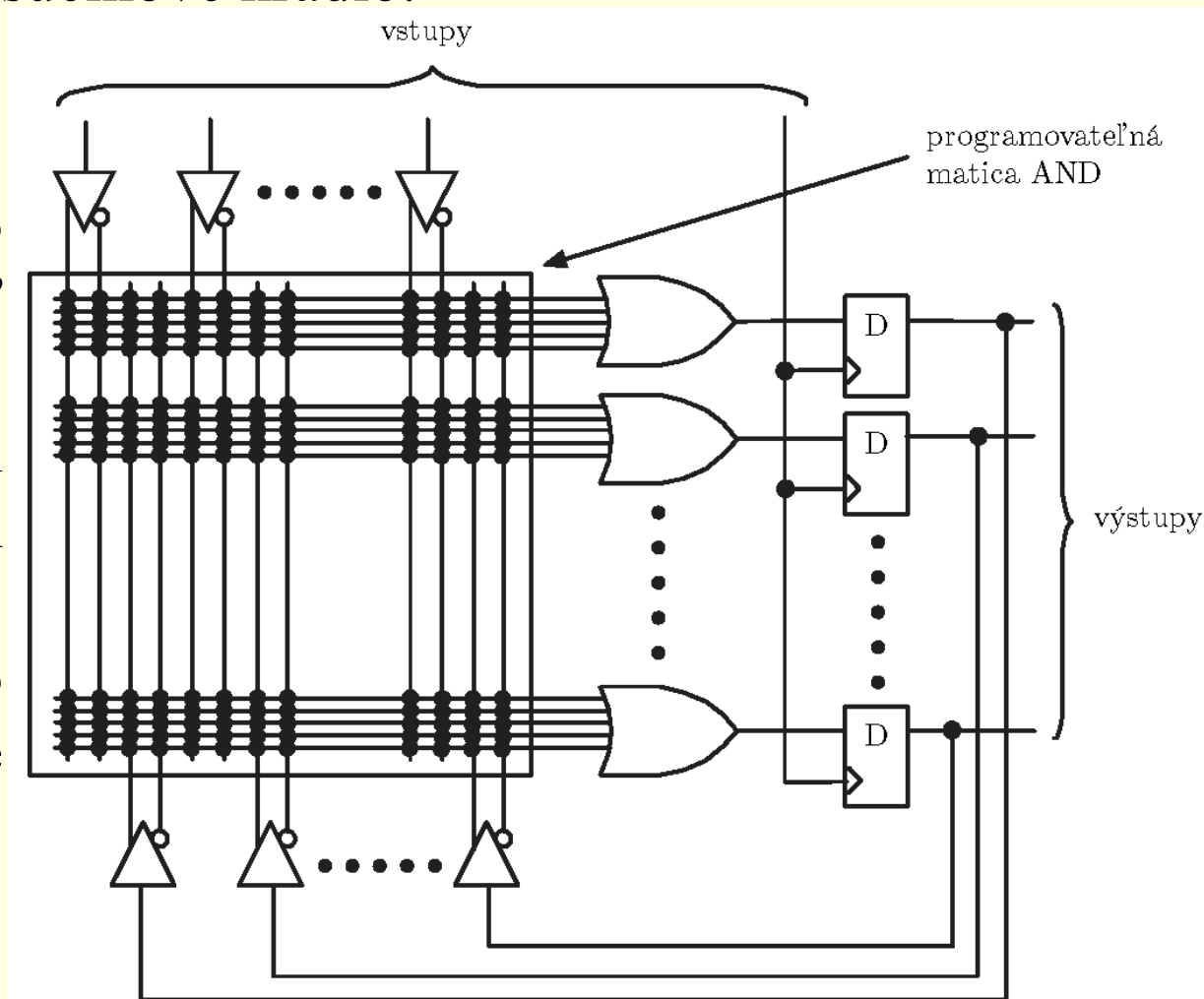
1.3 Typy PLD obvodov

- Programovateľné súčiastky a hlavne hradlové polia sú veľmi dôležité prvky dnešnej elektroniky. Vďaka nim si ktokoľvek môže vytvoriť vlastný zákaznícky IO prispôsobený konkrétnej aplikácii s minimálnymi nákladmi.
- Všetky číslicové programovateľné súčiastky sa spoločne označujú PLD. Číslicové programovateľné súčiastky je možné podľa vnútornej štruktúry rozdeliť do troch skupín.
 - Prvú skupinu budú tvoriť klasické PLD (SPLD),
 - druhú zložité PLD (CPLD) a
 - do tretej skupiny patria obvody typu FPGA.

Klasické SPLD

Obvody tejto kategórie sú charakteristické nasledovnou vnútornou štruktúrou. Každá vodorovná čiara v programovateľnej matici AND predstavuje vždy jedno súčinové hradlo.

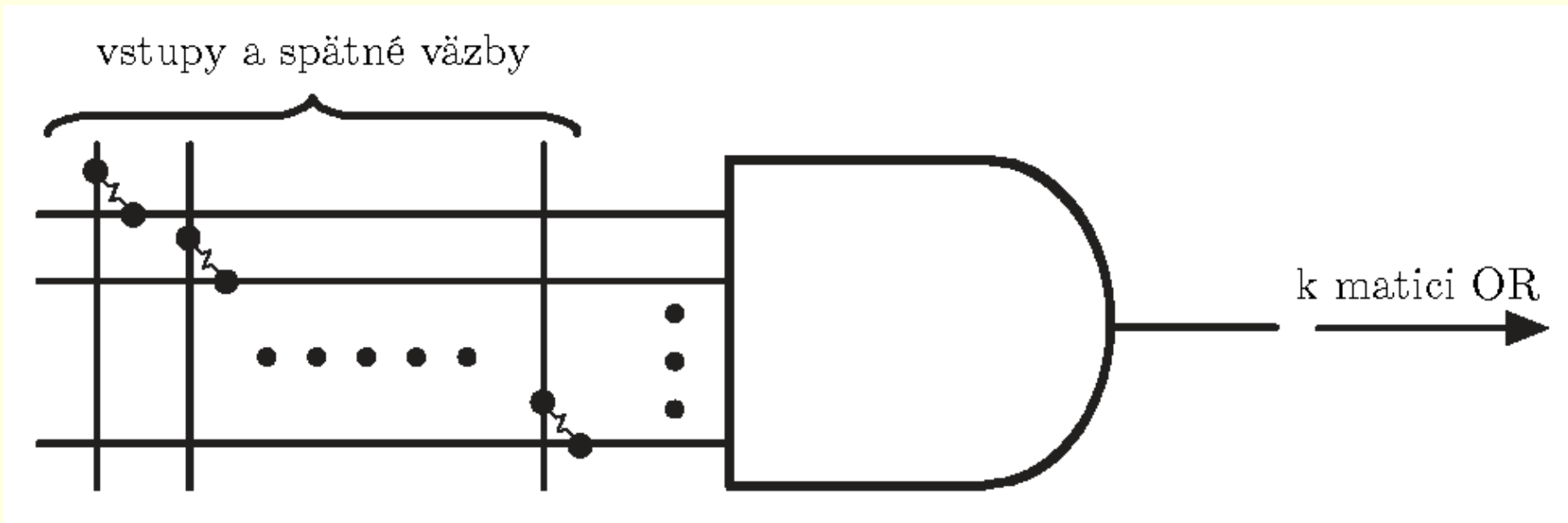
Na vstupy každého hradla môžeme pripojiť „ľubovoľnú“ kombináciu vstupných signálov, spätných väzieb a ich negácií. Počet vstupov každého súčinového hradla je však obmedzený.



Klasické- SPLD

Zapojení jedného súčinového hradla je znázornené na obrázku. Vlnovky na tomto obrázku predstavujú programovateľné spínače. Ich realizácia závisí od výrobnéj technológie obvodu. Napríklad v prípade bipolárnych obvodov sa jedna o akúsi poistku, ktorá sa pri programovaní obvodu "prepáli" prúdovým impulzom. V technológii CMOS sú spínače realizované rovnakými princípmi, ako v prípade pamäti PROM, EPROM alebo EEPROM.

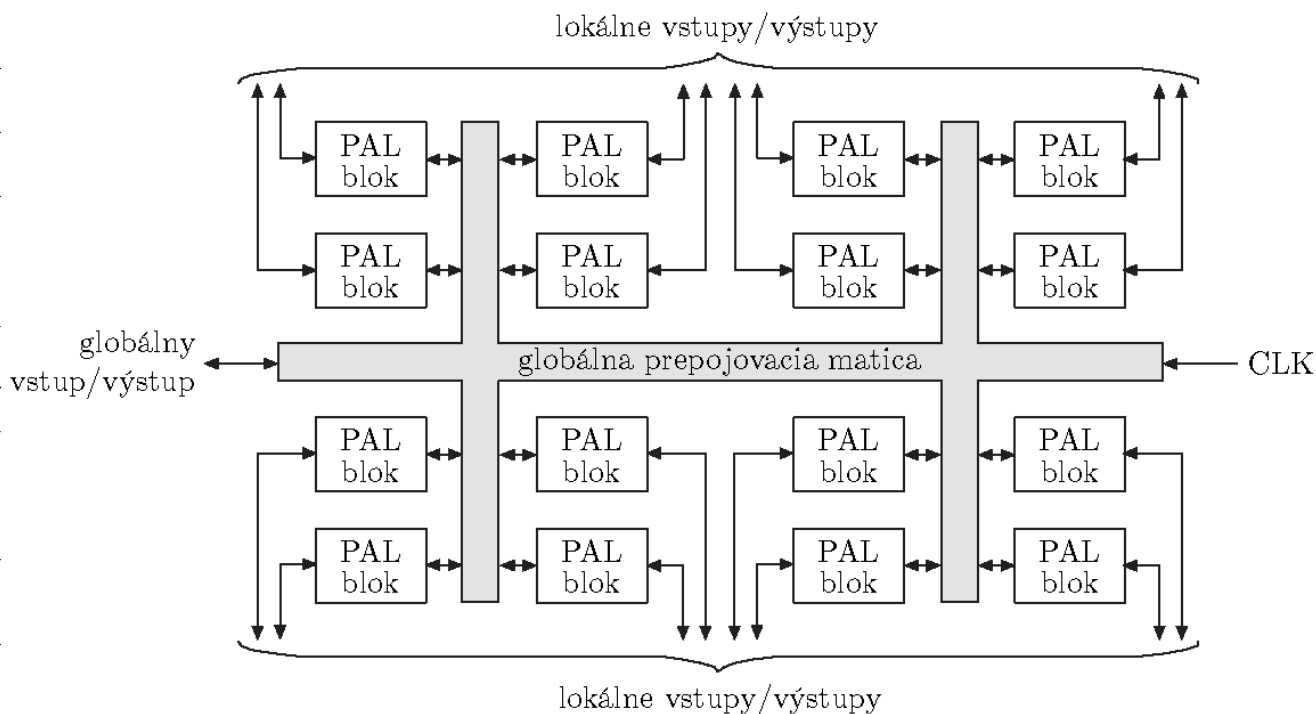
Do kategórie klasických PLD je možné zaradiť obvody: PLD, PAL, PLA, GAL, ...



Zložité PLD- CPLD

Klasické obvody PLD majú veľmi obmedzené prostriedky, takže umožňujú realizovať iba jednoduchšie funkcie. Preto výrobcovi začali združovať viacej takýchto obvodov na jednom čipe spoločne s potrebnými prostriedkami pre ich prepojenia. Takéto obvody sa väčšinou označujú ako CPLD. Typická štruktúra obvodu CPLD je znázornená na obrázku.

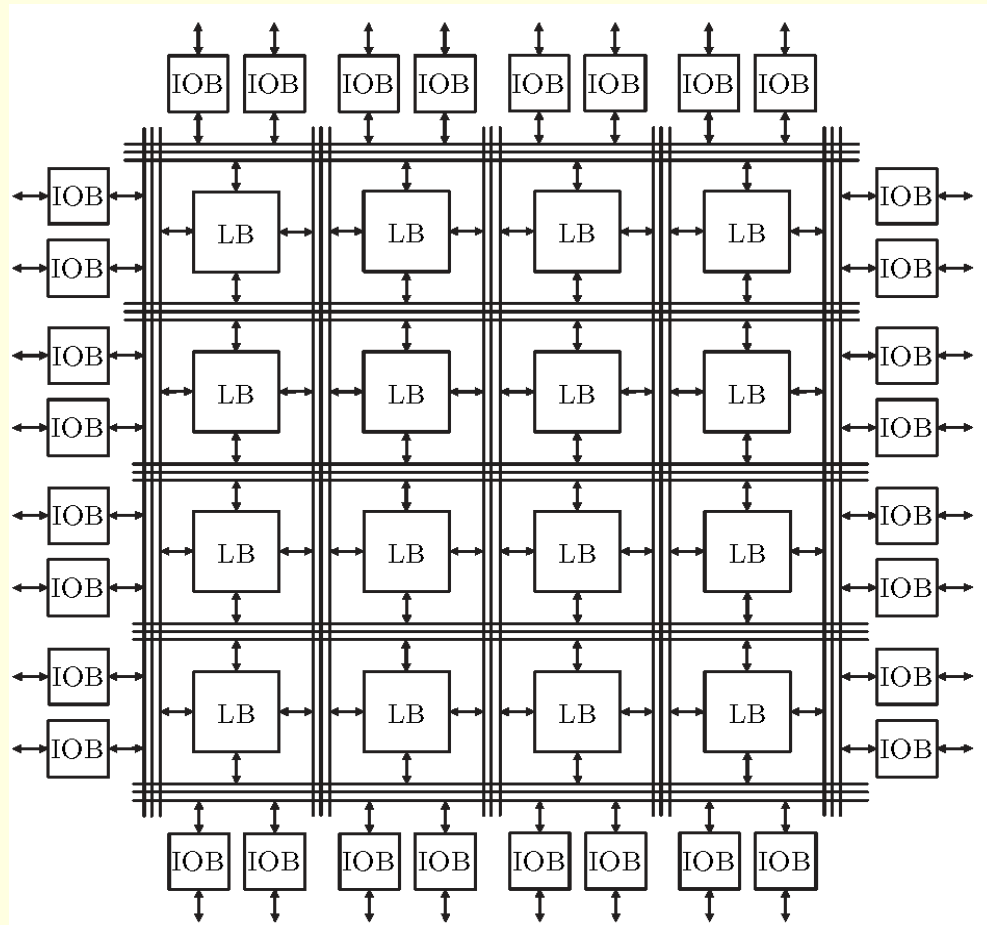
Každý výrobca CPLD používa trochu inú vnútornú štruktúru obvodov, ale väčšinou vychádza z tejto schémy. CPLD od rôznych výrobcov sa obvykle líšia v realizácii blokov vlastnej programovateľnej logiky aj keď väčšinou vychádza z klasickej štruktúry PAL.



Obvody FPGA

Obvody typu FPGA majú z programovateľných obvodov najvšobecnejšiu štruktúru a obsahujú najviac logiky. Súčasné najväčšie obvody FPGA obsahujú až 6-8 miliónov ekvivalentných hradiel (dvojvstupové hradlo NAND). Typickú štruktúru obvodu FPGA znázorňuje nasledujúci obrázok.

Bloky označené IOB (Input/Output Block) predstavujú vstupno- výstupné obvody pre každý v-v pin FPGA. Tieto bloky obvykle obsahujú register, budič, multiplexer a ochranné obvody. Bloky LB (Logic Block) predstavujú vlastné programovateľné logické bloky. Všetky bloky môžu byť rôzne prepojené globálnou maticou prepojení. Najpoužívanejšia štruktúra konfigurovateľného logického bloku je znázornená na obrázku.



Obvody FPGA

FPGA obvykle umožňujú prepojiť niektoré signály logických blokov priamo so susedným bez nutnosti využívať globálnu maticu prepojení. Takéto spoje majú omnoho menšie oneskorenie a umožňujú tak realizovať napríklad rýchle obvody šírenia prenosu, čo je nevyhnutné pre sčítačky alebo násobičky.

Okrem blokov znázornených na predchádzajúcom obrázku integrujú výrobcovia do FPGA ďalšie prvky. Väčšina moderných FPGA obsahuje:

- niekoľko blokov rýchlej synchronnej statickej pamäti RAM,
- veľmi často obvody FPGA obsahujú PLL (Phase Locked Loop), alebo
- DLL (Delay Locked Loop) pre obnovenie charakteristík hodinového signálu, prípadne pre násobenie alebo delenie jeho frekvencie.
- Tieto hradlové polia často obsahujú bloky vhodné pre vytváranie zložitých systémov pre číslicové spracovanie signálov, ako sú napríklad hardvérové násobičky, alebo mikroprocesory.

Tabuľka uvádzajúca odhad očakávaného vývoja technológie

Na základe odhadu konzorcia výrobcov IO (*SIA- Semiconductor Industry Association*).

	Year					
	1999	2001	2004	2006	2009	2012
Transistor gate length	0.14 μm	0.12 μm	90 nm	65 nm	50 nm	35 nm
Transistors per cm^2	14 million	16 million	24 million	40 million	64 million	100 million
Chip size	800 mm^2	850 mm^2	900 mm^2	1000 mm^2	1100 mm^2	1300 mm^2

1.4 Ekonomické aspekty

Dôvod nasadzovania FPGA:

- Malé série
- Rýchle overenie a prototypy
- Náhrada iných súčiastok
- Upgrade výrobku
- Dynamická rekonfigurácia

