

# Elektronické systémy na báze obvodov FPGA

2004/2005

Pavol Galajda, KEMT, FEI, TUKE

Pavol.Galajda@tuke.sk

# 1 Úvod do ASIC- teoretický základ

---

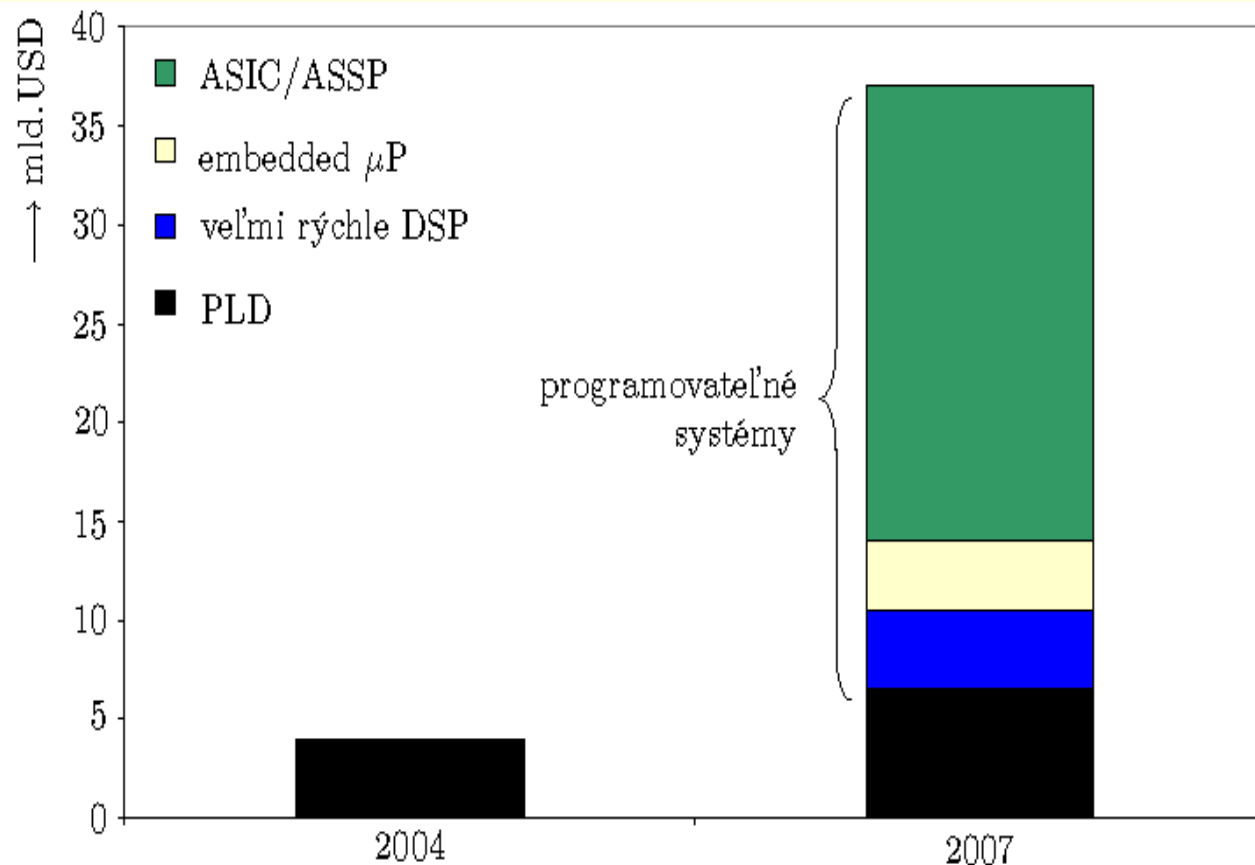
- 1.1 Základné pojmy
- 1.2 Historický vývoj a rozdelenie IO
- 1.3 Typy PLD obvodov
  - SPLD
  - CPLD
  - FPGA
- 1.4 Ekonomické aspekty
  - Porovnanie ASIC technológií
- 1.5 ASIC verzus FPGA – migrácia, prechod ku ASIC

# 1.4 Ekonomické aspekty

Dôvod nasadzovania FPGA- Z ekonomická hľadiska, použitie ASIC pod hranicou 1 až 5 miliónov hradiel prináša neúmerne vysoké režijné náklady spojené s návrhom a verifikáciou. Objavila sa tak medzera, ktorú je možné vyplniť inou technológiou. Podľa prieskumu, predstavuje tento segment trhu nevídaný tržní potenciál, ktorý do roku 2007 dosiahne objemu 35 miliárd USD a technológia, ktorá ho môže uspokojiť je práve FPGA.

- Malé série
- Rýchle overenie a prototypy
- Náhrada iných súčiastok
- Upgrade výrobku
- Dynamická rekonfigurácia

3. 3. 2005



# 1.4 Ekonomické aspekty

Najzreteľnejší ekonomický faktor pri výbere medzi rôznymi typmi ASIC je cena súčiastky (od niekoľko desiatok až po niekoľko tisíc Sk)

Celkové výrobné náklady =

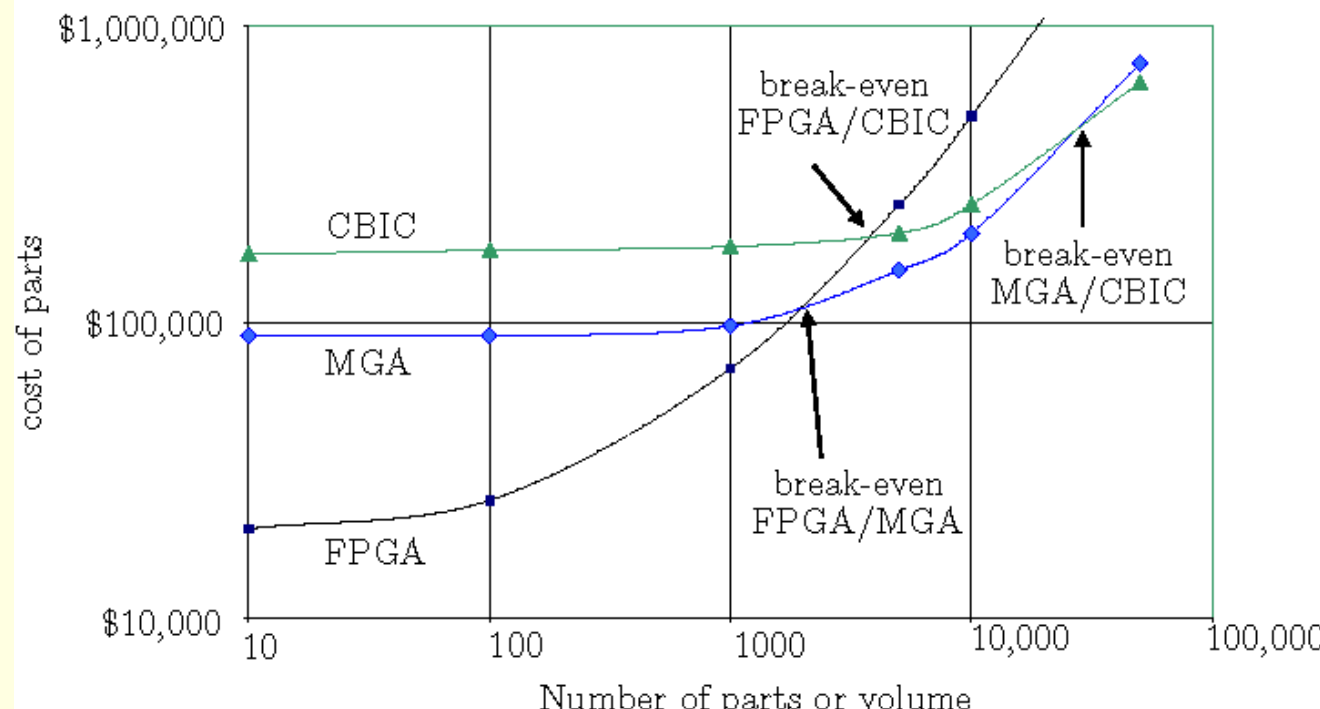
- **stále náklady** (SW, HW, návrh, testovanie, jednorázové náklady výrobcov, na výrobu masiek, ...)
- **variabilné náklady** (veľkosť a cena dištičky, počet a hustota hradiel, ...)

break- even=  
hranica rentability

MGA= masked  
gate array

CBIC= custom  
cell-based IC

3. 3. 2005



# 1.4 Ekonomické aspekty

Najzreteľnejší ekonomický faktor pri výbere medzi rôznymi typmi ASIC je cena súčiastky (od niekoľko desiatok až po niekoľko tisíc Sk)

Celkové výrobné náklady =

- stále náklady (SW, HW, návrh, testovanie, jednorázové náklady výrobcov, na výrobu masiek, ...)
- **variabilné náklady** (veľkosť a cena doštičky, počet a hustota hradiel, ...)

	Year					
	1999	2001	2004	2006	2009	2012
Transistor gate length	0.14 $\mu\text{m}$	0.12 $\mu\text{m}$	90 nm	65 nm	50 nm	35 nm
Transistors per $\text{cm}^2$	14 million	16 million	24 million	40 million	64 million	100 million
Chip size	800 $\text{mm}^2$	850 $\text{mm}^2$	900 $\text{mm}^2$	1000 $\text{mm}^2$	1100 $\text{mm}^2$	1300 $\text{mm}^2$

# 1.4 Ekonomické aspekty

- stále náklady- výcvik, SW, HW, návrh, testovanie, jednorázové náklady výrobcov, na výrobu masiek, ...

	FPGA	MGA	CBIC
<b>Training:</b>	\$800	\$2,000	\$2,000
Days	2	5	5
Cost/day	\$400	\$400	\$400
<b>Hardware</b>	\$10,000	\$10,000	\$10,000
<b>Software</b>	\$1,000	\$20,000	\$40,000
<b>Design:</b>	\$8,000	\$20,000	\$20,000
Size (gates)	10,000	10,000	10,000
Gates/day	500	200	200
Days	20	50	50
Cost/day	\$400	\$400	\$400
<b>Design for test:</b>		\$2,000	\$2,000
Days		5	5
Cost/day		\$400	\$400
<b>NRE:</b>		\$30,000	\$70,000
Masks		\$10,000	\$50,000
Simulation		\$10,000	\$10,000
Test program		\$10,000	\$10,000
<b>Second source:</b>	\$2,000	\$2,000	\$2,000
Days	5	5	5
Cost/day	\$400	\$400	\$400
<b>Total fixed costs</b>	<b>\$21,800</b>	<b>\$86,000</b>	<b>\$146,000</b>

# 1.4 Ekonomické aspekty

- variabilné náklady- veľkosť a cena doštičky, počet, hustota a využiteľnosť hradiel, veľkosť čipu, zisk, ...

	FPGA	MGA	CBIC	Units
Wafer size	6	6	6	inches
Wafer cost	1,400	1,300	1,500	\$
Design	10,000	10,000	10,000	gates
Density	10,000	20,000	25,000	gates/sq.cm
Utilization	60	85	100	%
Die size	1.67	0.59	0.40	sq.cm
Die/wafer	88	248	365	
Defect density	1.10	0.90	1.00	defects/sq.cm
Yield	65	72	80	%
Die cost	25	7	5	\$
Profit margin	60	45	50	%
Price/gate	0.39	0.10	0.08	cents
Part cost	\$39	\$10	\$8	

# 1.5 Konverzia FPGA na ASIC

Predstavuje prevod kompletne navrhnutého systému overeného v reálnom zariadení pomocou programovateľných obvodov do vyšších a úspornejších foriem zákaznických IO.

## Hlavné výhody a charakteristiky konverzie.

Pri väčších požadovaných množstvách digitálnych zákaznických integrovaných obvodov nieje ekonomické realizovať celú výrobnú sériu pomocou programovateľných obvodov.

- je výhodnejšie realizovať už hotový návrh v podobe masiek pre návrh zákaznických čipov,
- návrh sa vyznačuje lepšími technickými a ekonomickými parametrami.



# 1.5 Konverzia FPGA na ASIC

## Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

# 1.5 Konverzia FPGA na ASIC

## Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

# Rýchlosť a bezpečnosť

Ak neuvažujeme ekonomické faktory, prináša konverzia istotu toho, že do výroby sa dostávajú podklady, ktoré boli nielen overené pomocou simulácie, ale tiež odskúšané v reálnom prostredí zákazníka.

Použitie obvodov FPGA teda *prináša* pri návrhu *podstatné zvýšenie efektivity vývojových prác*, pretože modifikácia obvodu, z dôvodu buď zmeny špecifikácie alebo chyby v priebehu návrhu, je relatívne rýchla a lacná.

# Rýchlosť a bezpečnosť

## **Prečo nenavrhnúť ASIC priamo a obísť tak proces konverzie?**

- zákazník dopredu nemusí vedieť, akú veľkú sériu bude potrebovať,
- v priebehu návrhu ASIC je možné len obvod simulovať a nie je testovaný v reálnom prostredí,
- postup prác pri návrhu ASIC je zložitejší,
- vyžaduje sa tesná spolupráca s výrobcou obvodov,

# 1.5 Konverzia FPGA na ASIC

## Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

# Univerzálnosť procesu konverzie

V súčasnosti je možné realizovať konverziu zo všetkých dostupných obvodov FPGA, ktoré ponúkajú hlavný výrobcovia, ako sú:

- Xilinx,
- Altera,
- Atmel,
- Lattice,
- Actel a ďalší.

# 1.5 Konverzia FPGA na ASIC

## Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

# Nízke jednorázové náklady

Značná časť nákladov na konverziu je jednorázová a pokrýva výrobu masiek. Z tohto dôvodu sa výrobcovia obvodov snažia použiť čo najmenší počet masiek.

Konverzia sa teda (v závislosti od veľkosti série a technických požiadaviek zákazníka) väčšinou nerealizuje do plne zákaznickeho obvodu, alebo štandardných buniek, ale do hradlového poľa, pre ktoré je pre záverečné výrobné operácie nutné vyrobiť len minimálne množstvo masiek.



# 1.5 Konverzia FPGA na ASIC

## Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

# Ekonomická výhodnosť

Konverzia môže byť ekonomicky výhodná

- už od série niekoľko tisíc obvodov,
- v niektorých prípadoch sa môže vyplatiť i pri kusových sériách (objem niekoľko sto obvodov).

Základné ekonomické úvahy je nutné urobiť pre konkrétny typ súčiastky, požadovanú sériu, veľkosť puzdra atd.

Typický čas celej konverzie (asi 10 týždňov) zahŕňa procesy od prevodu dát a ich prípravu pre technologické operácie, včítane generácie masiek, až po výrobu funkčných vzoriek obvodu ASIC.

# 1.5 Konverzia FPGA na ASIC

## Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

# Lepšie zabezpečenie IP

Ďalším, nezanedbateľným dôvodom pre konverziu môže byť dôvod pre podstatné sťaženie možnosti okopírovanie obvodu.

Obvody FPGA sú v podstate bežne dostupné súčiastky, ktorým „vdýchne život“ pripojenie externej konfiguračnej pamäte, ktorá obsahuje informáciu o prepojení vo vnútri obvodu.

I keď existujú možnosti, ktoré obmedzujú kopírovanie aplikácie s FPGA, uspokojuvité riešenie sa nedá nájsť, pokiaľ v priebehu konfigurácie FPGA musí byť privedený obsah konfiguračnej pamäte na vývody obvodu.

Práve tato kritická fáza v prípade obvodov ASIC odpadá a možnosť kopírovania je v takmer minimálna.

# 1.5 Konverzia FPGA na ASIC

## Hlavné výhody a charakteristiky konverzie.

- Rýchlosť a bezpečnosť
- Univerzálnosť procesu konverzie
- Nízke jednorázové náklady
- Ekonomická výhodnosť
- Lepšie zabezpečenie IP
- Zlepšenie technických parametrov

# Zlepšenie technických parametrov

Obvody ASIC *môžu pracovať s vyššou frekvenciou* než FPGA z toho dôvodu, že prepojenie logických buniek je realizované priamymi metalickými spojmi na rozdiel od konfigurovateľných spojov u FPGA.

Je možné povedať, že obvody ASIC *prinášajú zníženie spotreby obvodu*, pretože ASIC obsahuje logiku len pre vykonávanie vlastnej funkcie.

# 1.5 Konverzia FPGA na ASIC

## Postup pri procese konverzie.

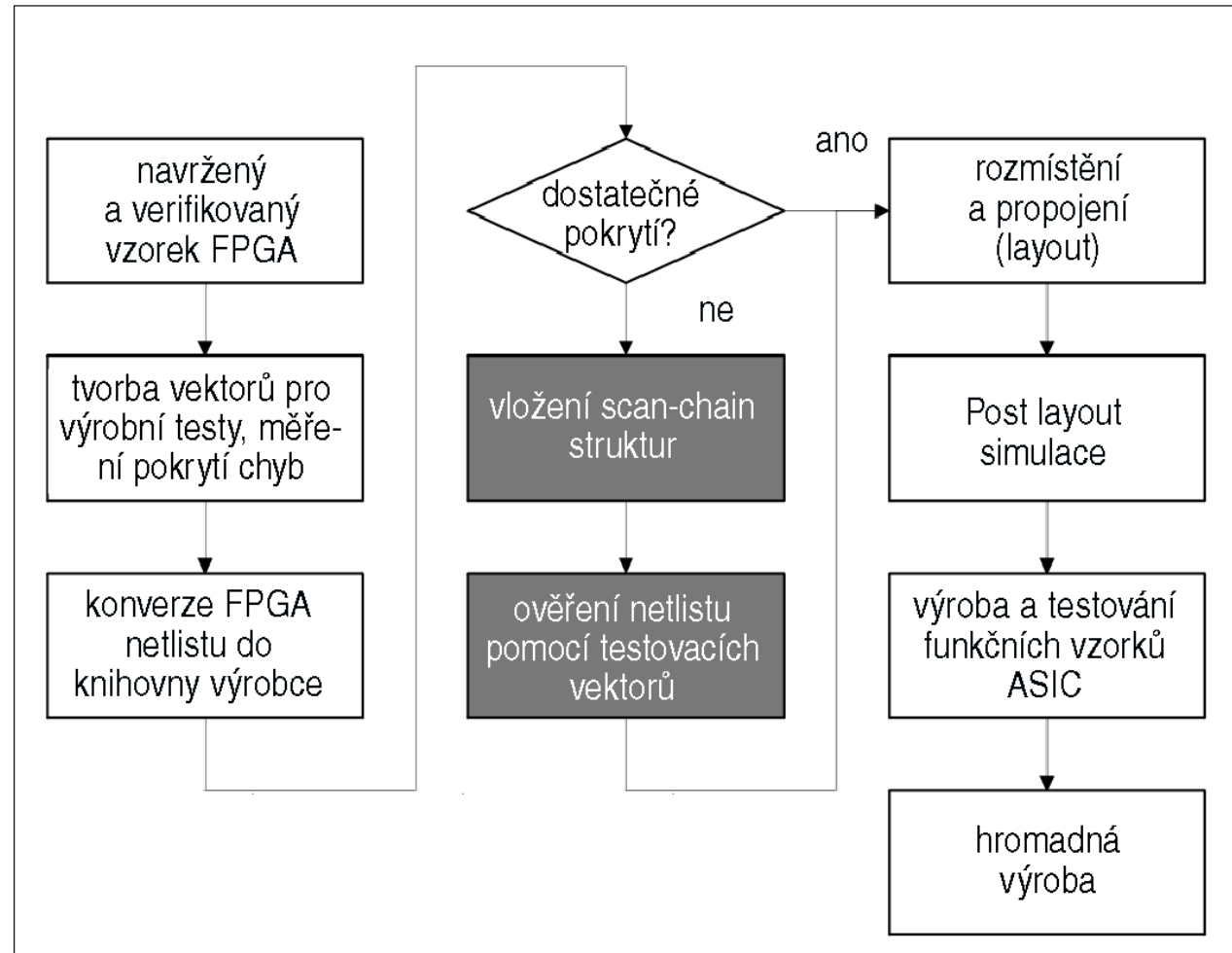
S procesom konverzie je vhodné počítať pred samotnou fázou návrhu vlastného FPGA.

Najdôležitejším dôvodom je skutočnosť, že finálny obvod ASIC je nutné testovať, čo väčšinou pri vývoji obvodu FPGA odpadá.

# 1.5 Konverzia FPGA na ASIC

Postup konverzie je uvedený na obr. Konverzia začína vo chvíli, keď bol *návrh overený pomocou FPGA* (pri overovaní funkcie medzi zákazníkom, návrhárskym strediskom a samotným výrobcom obvodov sa používajú testy).

Slúžia k overeniu funkcie obvodu podľa špecifikácie zákazníka (tzv. *funkčné testy*) a zároveň na odhalenie technologických chýb pri výrobe obvodov. Nakoľko je možné pomocou testov tieto chyby odhaliť, udáva *pokrytie chýb*.

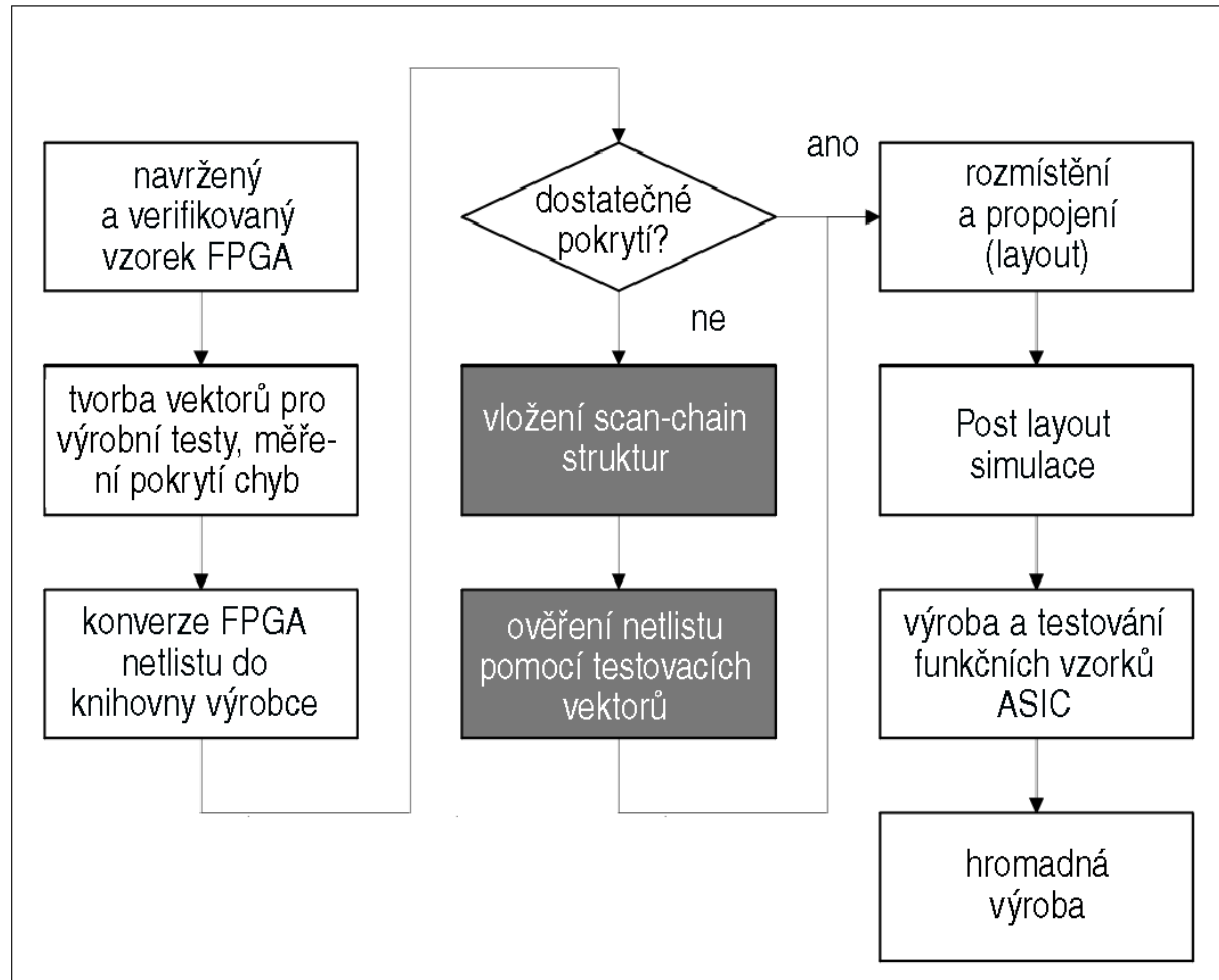




# 1.5 Konverzia FPGA na ASIC

Vlastné zapojenie obvodu FPGA na úrovni hradiel definuje netlist, ktorý je pomocou konverzného programu *preložený do knižnice výrobcu obvodu ASIC*. Po konverzii netlistu sa *meria pokrytie chýb testmi*.

Pokiaľ je dostatočné, je možné uskutočniť ďalšie operácie, zahrňujúce štandardný postup pri návrhu ASIC. V prípade, že nie je pokrytie dostatočné, je nutné pristúpiť k modifikácii netlistu vložením špeciálnych štruktúr uľahčujúcich zvýšenie pokrytia- *scan chain*.



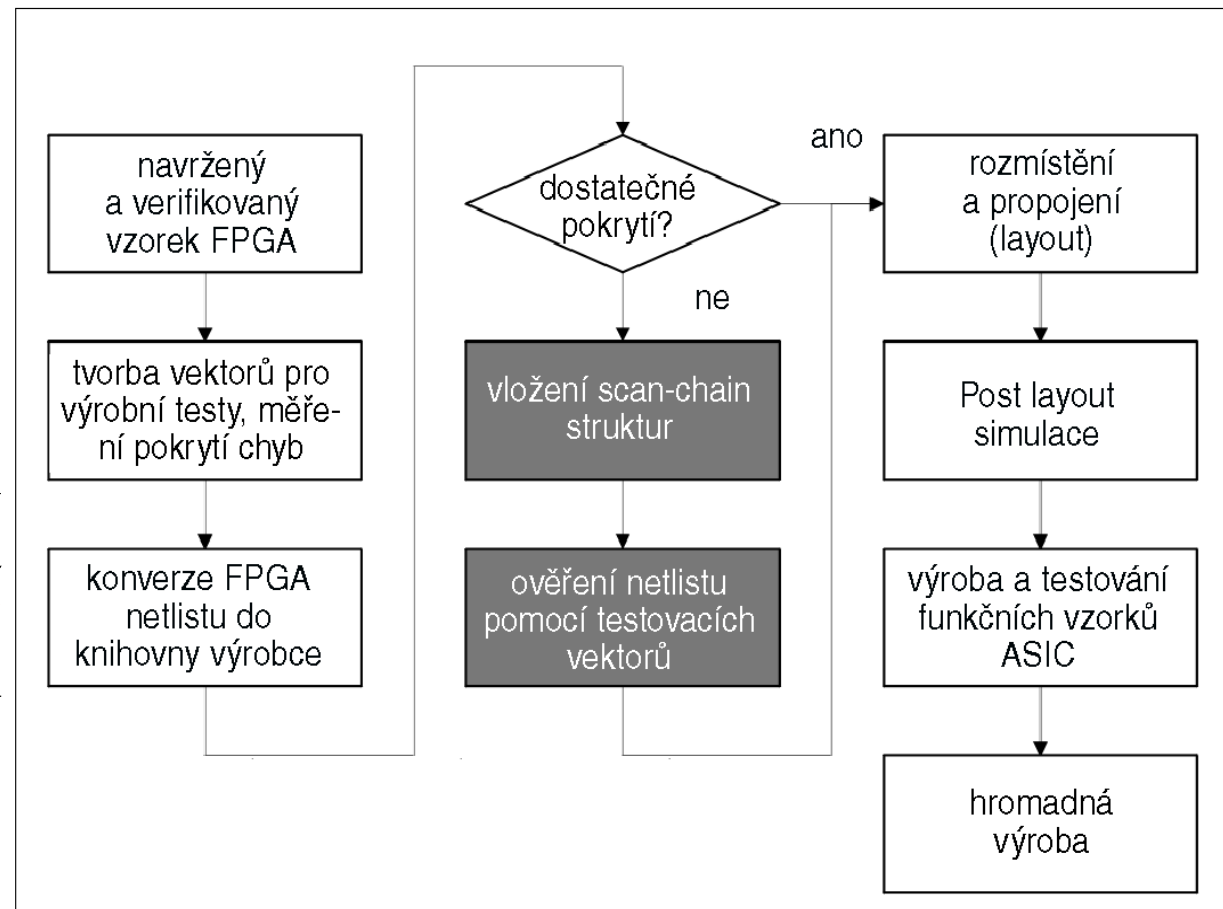
# 1.5 Konverzia FPGA na ASIC

Ďalším krokom je *rozmiestnenie a prepojovanie* na základe netlistu.

Potom sa uskutoční tzv. *simulácia post-layout*, ktorá už obsahuje reálne oneskorenia v obvode.

Nasleduje *výroba masiek a skúšobná séria obvodov*.

Po overení funkčných vzoriek u zákazníka nasleduje *hromadná výroba* uzatvárajúca celý proces.



# 2 Metodika návrhu PLD

- 1.1 Činnosť pred započatím návrhu
- 1.2 Rozdelenie CAD nástrojov
- 1.3 Modely pre metódy návrhu systémov
  - metóda „vodopád“
  - metóda „špirála“
- 1.4 Etapy návrhu číslicových systémov s obvodmi FPD

# 2 Metodika návrhu PLD

Návrh IO je viac úrovňový

- *hierarchický* (stanovená stupňovitá sústava v ktorej je určené s akými údajmi, veličinami a hodnotami v určitom štádiu návrhu pracujeme)
- *iteračný proces* (opakovanú realizáciu jednej, alebo viacej návrhových činností- spresňovanie, ale i opravy a zmeny)

# 1.1 Činnosť pred započatím návrhu

Návrh IO je veľmi zložitý proces. Mnoho vecí musíme posudzovať ešte predtým, ako sa začne návrhár zaoberať funkčným opisom.

Rozhodnutia uskutočnené ešte pred začiatkom návrhu, ovplyvní do značnej miery nasledujúcu prácu návrhára a zásadným spôsobom predurčí úspešnosť finálneho výrobku.

Ak chceme elektronický systém vytvoriť vo forme IO, musíme najprv určiť či použijeme štandardné IO, mikroprocesor alebo ASIC.

# 1.1 Činnosť pred započatím návrhu

V prípade, že bolo vybraté riešenie pomocou ASIC bude nasledovať:

- výber technológie (MOS, bipolárna, prípadne BiCMOS),
- voľba výrobcu,
- voľba typu ASIC (PLD, FPLD, hradlové polia, štandardné bunky, alebo plne zákaznícky obvod),
- stanovenie návrhových prostriedkov (CAD).

Určujúce pre tieto rozhodnutia sú hlavne požadované funkčné vlastnosti, formy spracovania signálov, počet vstupov a výstupov, napájacie napätie, rozsah pracovných teplôt, tiež hlavne cena výsledného IO.

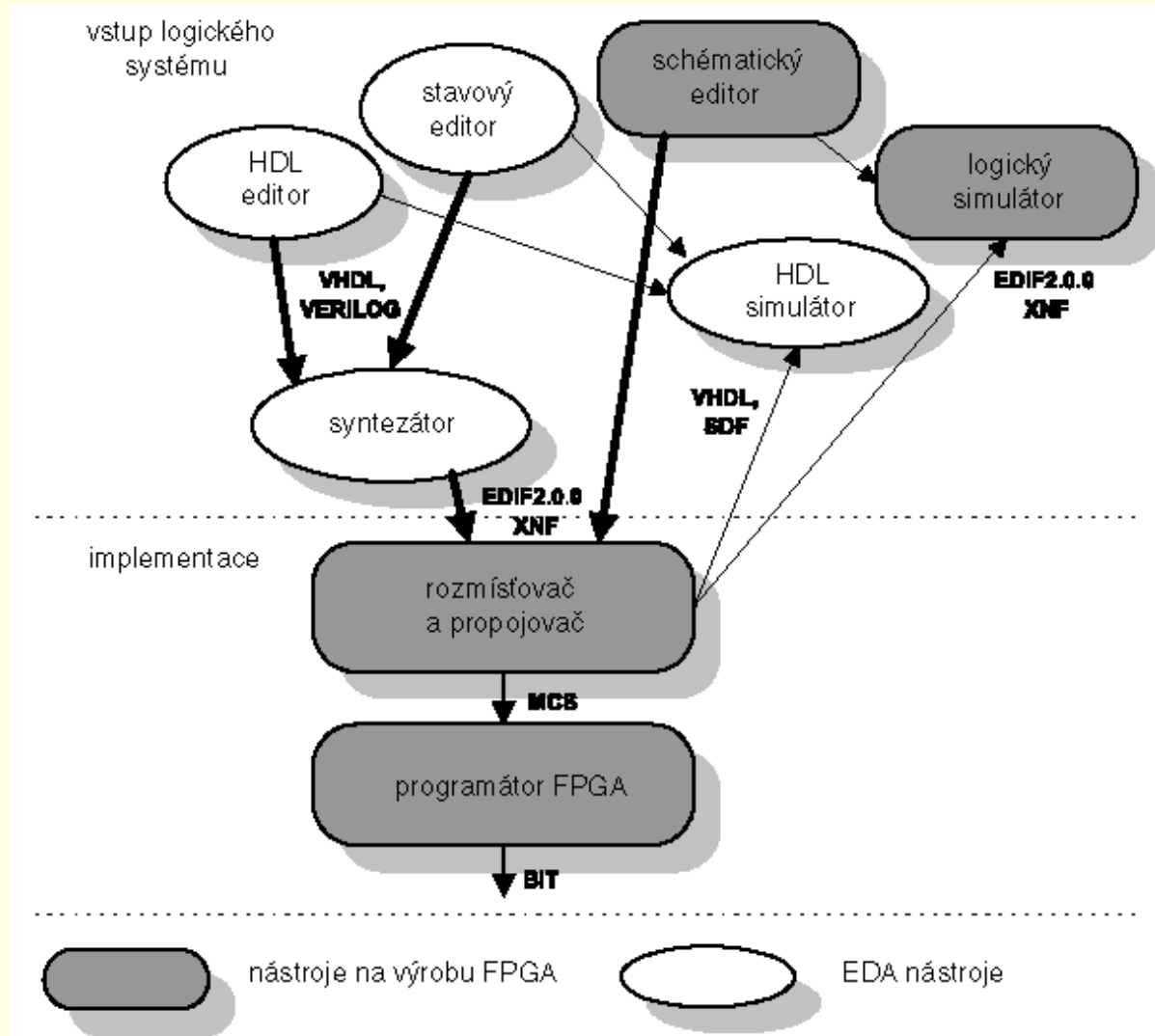
# 1.2 Rozdelenie CAD nástrojov

Obrázok ukazuje jak použitie, tak i rozdelenie prostriedkov CAD.

• postupná náhrada schematického vstupu normalizovanými jazykmi pre opis logických systémov (HDL- Hardware Description Language).

- VHDL
- Verilog

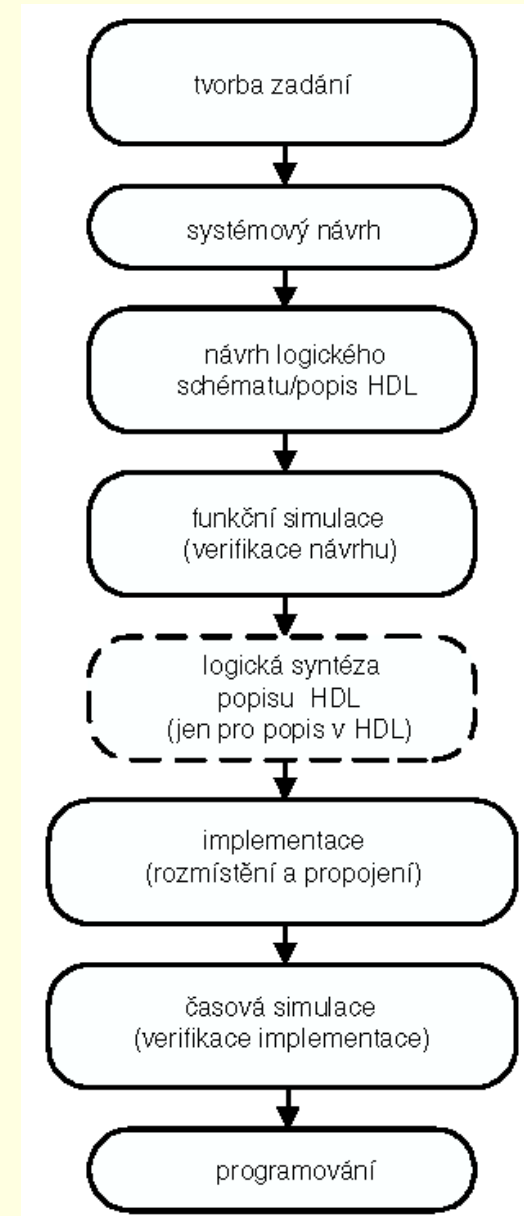
• používanie nástrojov EDA (Electronics Design Automation)



# 1.3 Modely pre metódy návrhu systémov

Tradiční postup pri návrhu systémov na báze FPGA (design flow), ktorý je uvedený na *obr.*, sa často nazýva „vodopád“ (waterfall).

V tomto modely návrh postupuje po krokoch z jednej fáze do druhej a už sa nevracia zpät.

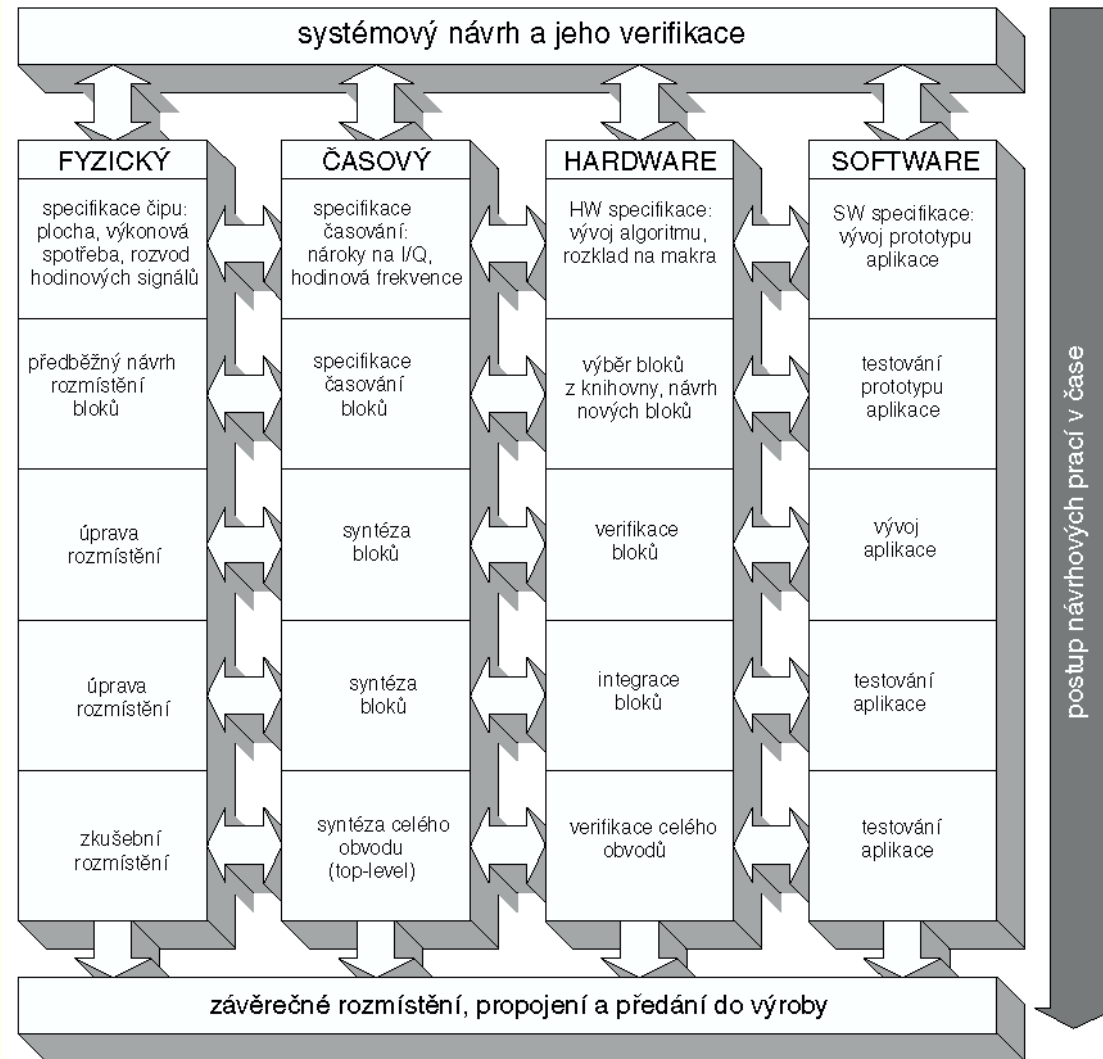




# 1.3 Modely pre metódy návrhu systémov

Pri návrhoch zložitých systémov (100 K hradiel a viac), keď na projekte pracujú návrhári rozčlenení do skupín, sa jednoznačne javí ako vhodnejší model „špirála“.

Väčšina fáz sa opakuje niekoľkokrát s postupne sa upresňujúcim a zlepšujúcim riešením úvodného zadania. Ide o iteratívny proces. Tento model bol pochopiteľné najprv nasadený v návrhoch ASIC. V súčasnosti však i technológia obvodov FPGA umožňuje realizovať tak zložité návrhy, že je pre ňu tiež nutné použiť model „špirála“.



## 1.3 Metodika návrhu systémov

**Špecifikácia** – definovanie logických funkcií, ktoré má navrhovaný číslicový systém realizovať.

**Realizácia** – táto fáza sa často označuje ako fáza kompilácie a obvykle predchádza funkčnej simulácii návrhu. Jej cieľom je verifikácia návrhu pred vlastným naprogramovaním (konfiguráciou) obvodu.

**Verifikácia** – testovanie, či naprogramovaný obvod pracuje presne podľa počiatočnej špecifikácie návrhu.

# 1.4 Etapy návrhu číslicových systémov s obvodmi FPD

